

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

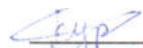
ДВНЗ « Ужгородський національний університет»  
Інженерно-технічний факультет  
кафедра електронних систем

кваліфікаційна бакалаврська робота


На тему: Електронна система керування зовнішніми пристроями через системну магістраль

Студента 4 курсу

Бурса Степана Степановича  
( прізвище та ініціали)

  
(підпис)

Керівник кандидат фіз.-мат. наук Заяць Тарас Михайлович  
( посада, вчене звання, науковий ступінь, прізвище та ініціали)

  
(підпис)

Голова ЕК:

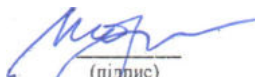
Лоя В.Ю. канд. тех.наук., ст. н. с. ІЕФ НАНУ.  
(прізвище, ініціали, вчені ступінь та звання.)

  
(підпис)


Заяць Т.М.- канд. фіз.-мат наук, доц. кафедри ЕС.  
(прізвище, ініціали, вчені ступінь та звання.)

  
(підпис)

Юркін І.М.- канд. фіз.-мат наук, доц. кафедри ЕС.  
(прізвище, ініціали, вчені ступінь та звання)

  
(підпис)

Спесивих О.О.-канд. фіз.-мат наук, доц. кафедри ЕС.  
(прізвище, ініціали, вчені ступінь та звання)

  
(підпис)

Засвідчую, що у цьому дипломному проекті  
немає запозичень з праць інших авторів без  
відповідних посилань.

Студент   
(підпис)

Ужгород – 2023

«ЗАТВЕРДЖУЮ»

Зав. кафедрою,

доц.  (Заяць Т. М.)

“ 15 ” червня 2023 року

### З А В Д А Н Н Я

на кваліфікаційну бакалаврську роботу  
студенту Бурса Степану Степановичу

1. Тема бакалаврської кваліфікаційної роботи: “Електронна система керування зовнішніми пристроями через системну магістраль”.  
Затверджена на засіданні кафедри електронних систем (протокол №4 від “11” \_ листопада \_ 2022 року).  
Затверджені Розпорядженням декана ІТФ від «12» травня 2023 року № 15
2. Термін закінчення студентом бакалаврської кваліфікаційної роботи: 10 червня 2023 року.
3. Вихідні дані до курсової роботи.
  - 1) Розробити просту електронну систему управління зовнішніми пристроями.
  - 2) Система має забезпечувати формування різного типу вихідних тестуючих та еталонних сигналів, а також передачу на зовнішні пристрої управляючих двійкових цифрових кодів.
  - 3) Система має забезпечувати наступні експлуатаційні параметри:
  - 4) частота вихідних тестуючих та еталонних сигналів — від 2 Гц до 33 МГц;
  - 5) амплітуда вихідних тестуючих та еталонних сигналів — від 50 мВ до 10 В;
  - 6) вихідні та вхідні цифрові сигнали мають задаватися в стандарті КМОН-логіки з паралельним кодом;
  - 7) управляючі двохрівневі сигнали від зовнішніх пристроїв мають задаватися у стандарті системної шини PCI express.
4. Зміст розрахунково-пояснювальної записки (перелік питань, що підлягають розробці).

Вступ.

  1. Огляд та аналіз аналогів об’єкту проектування.
  2. Огляд і аналіз існуючих методів та схемотехнічних рішень поставленого завдання.
  3. Проектно-конструкторський розділ.
    - 3.1 Загальний опис системи керування;
    - 3.2 Розробка електричної принципової та функціональної схем системи керування;
    - 3.3. Розрахунки режимів роботи елементів принципової схеми, вибір елементів

4. Висновки.
5. Список використаних джерел.
6. Перелік графічного матеріалу ( з точним зазначенням обов'язкових креслень):

1. Структурна схема.
2. Принципова електрична схема.

5. Консультанти роботи, вказати з яких розділів.

Розділ	Консультант	Підпис, дата	
		Завдання видав	Завдання прийняв
		доц. Заяць Т.М.	Бурса С.С.
Нормоконтроль			

6. Дата видачі завдання 25 жовтня 2022 року.

Керівник роботи (доц. Т.М. Заяць)  
(підпис)

Завдання прийняв на виконання (С.С. Бурса)  
(підпис)

### КАЛЕНДАРНИЙ ПЛАН

№ п/п	Найменування етапів виконання КБР	Термін виконання етапів	Примітки
1.	Пошук та аналіз аналогів об'єкта досліджень.	до 20.12.2022 року	
2.	Огляд та аналіз аналогів.	до 20.02.2023 року	
3.	Вибір технічного рішення та обґрунтування технічної пропозиції.	до 20.03.2023 року	
4.	Синтез структурної та принципової схем, їх розрахунок.	до 20.04.2023 року	
5.	Виготовлення конструкторської документації.	до 20.05.2023 року	
6.	Оформлення кваліфікаційної бакалаврської роботи.	до 10.06.2023 року	
7.	Захист на державній екзаменаційній комісії.	Згідно з графіком захисту	

Студент (С.С. Бурса)  
(підпис)

Керівник роботи (доц. Т.М. Заяць)  
(підпис)

## РЕФЕРАТ

Кваліфікаційна бакалаврська робота на тему «Електронна система керування зовнішніми пристроями через системну магістраль» / УжНУ; Керівник Заяць Т.М.; Студент Бурса С.С., група ЕС.

Пояснювальна записка: 60 сторінок, 21 рисунок, 8 таблиць, 20 джерел, 4 додатки.

Графічна частина: 2 листи формату А1.

Об'єкт розробки – розробка структурної та принципової схеми системи керування зовнішніми пристроями через системну магістраль.

Метод дослідження – аналіз прототипу та аналогів, синтез електричної структурної схеми та її реалізація у вигляді електричної принципової схеми.

При виконанні даної бакалаврської роботи було проведено пошук та аналіз аналогів об'єкту проектування і загальні принципи побудови. На основі цих даних і вимог технічного завдання розроблено структурну та принципові схеми. Проектно конструкторський розділ містить синтез структурної та принципової схеми, опис дії пристрою і розрахунки.

ПРИСТРОЇ, ЗОВНІШНІЙ ПРИСТРІЙ, СИСТЕМНА МАГІСТРАЛЬ,

PCI EXPRESS, ISA

## **ABSTRACT**

Diploma project of the “Bachelor” degree: «Electronic system for controlling external devices via the system bus» / UzhNU; Supervisor: Zayats T. M.; Student: Bursa S. S., ES group.

Explanatory note: 60 pages, 21 figures, 8 table, 20 sources, 4 appendixes.

Graphic part: 2 A1 sheets.

The objective of this project is to develop the structural and schematic scheme for maintaining external outbuildings using the system backbone. The methodology employed involves analyzing prototypes and analogues, synthesizing an electrical block diagram, and implementing a visual electrical circuit diagram.

Upon completion of this project, a thorough search and analysis of analogous designs and global principles was conducted. Based on this data and the technical specifications, the structural principles of the scheme were deconstructed. The design and construction division was tasked with synthesizing a structural and schematic scheme, as well as providing a comprehensive description of the building and construction.

In conclusion, this project aims to create an efficient system for maintaining external outbuildings, and meticulous research, analysis, and design have been undertaken to achieve this goal. The resulting scheme encompasses both structural and schematic aspects, ensuring a comprehensive understanding of the building and construction process.

### **Keywords:**

EXTERNAL DEVICE, SYSTEM BACKBONE, SYSTEM BUS, PCI EXPRESS, ISA

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ДВНЗ «Ужгородський національний університет»  
Інженерно-технічний факультет  
Кафедра електронних систем

«ЗАТВЕРДЖУЮ»

Зав. кафедрою,

доц.  (Заяць Т. М.)





“15” серпня 2023 року

## ПОЯСНЮВАЛЬНА ЗАПИСКА

На кваліфікаційну бакалаврську роботу

на тему:

### ЕЛЕКТРОННА СИСТЕМА КЕРУВАННЯ ЗОВНІШНІМИ ПРИСТРОЯМИ ЧЕРЕЗ СИСТЕМНУ МАГІСТРАЛЬ

Зм.	Арк.	№ докум.	Підпис	Дата	КБР.ЕС.9583005.001.ПЗ			
Розробив		Бурса С.С.		13.06	Електронна система керування зовнішніми пристроями через системну магістраль	Літера	Аркуш	Аркушів
Перевірів		Заяць Т. М.		19.06		У	6	60
Т.Контр.					Пояснювальна записка	УжНУ, ІТФ 4 курс, гр. ЕС		
Н.Контр.		Спесивих О.О.		19.06				
Затверд.		Заяць Т. М.		19.06				

## ЗМІСТ

ВСТУП	8
1. Огляд і аналіз існуючих аналогів об'єкту проектування	9
2. Огляд і аналіз існуючих методів та схемотехнічних рішень поставленого завдання	11
3. Проектно-конструкторський розділ	47
3.1. Загальний опис системи керування	47
3.2. Синтез та аналіз принципової і функціональної схем системи керування	51
3.3. Розрахунки режимів роботи елементів принципової схеми, вибір елементів	52
4. Висновки	58
5. Список використаних джерел	59

## ДОДАТКИ

Додаток А. Структурна схема КБР.ЕС.9583005.001.Е1

Додаток Б. Принципова схема КБР.ЕС.9583005.001.Е2

Додаток В. Перелік елементів КБР.ЕС.9583005.001.ПЕ

Додаток Г. Специфікація КБР.ЕС.9583005.001.СП

					<i>КБР.ЕС.9583005.001.ПЗ</i>	7
Вим.	Арк.	№ докум.	Підпис	Дата		

## ВСТУП

В теперішній час проектуванню електронних систем керування за допомогою комп'ютерів приділяється багато уваги. Робиться великий акцент на застосування в цих системах електронно-цифрових приладів. Висока швидкість виміру параметрів, зручна форма представлення інформації, гнучкий інтерфейс, порівняно невелика похибка вимірювань в порівнянні з механічними й електромеханічними засобами виміру всі ці та багато інших переваг роблять дані системи перспективними в розвитку і подальшому використанні в багатьох галузях виробництва.

Розвиток мікроелектроніки та широке застосування її виробів у промисловому виробництві, у пристроях і системах керування найрізноманітнішими об'єктами і процесами є в даний час одним з основних напрямків науково-технічного прогресу.

Використання систем керування в яких основні інтелектуальні функції покладені в комп'ютер, суттєво розширює їх можливості по керуванню різними процесами збору обробці та зберіганню результатів вимірювань, підвищує їх достовірність і надійність. При цьому з'являється можливість легкої адаптації певної системи керування для проведення вимірювань в різних експериментальних методиках та для керування різними технологічними і виробничими процесами. Розробка однієї з таких систем з керуванням через системну магістраль PCI Express комп'ютерів типу IBM PC і є метою даного проекту.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	8
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

# 1. ОГЛЯД ТА АНАЛІЗ ІСНУЮЧИХ АНАЛОГІВ ОБ'ЄКТУ ПРОЕКТУВАННЯ

Електронна система керування зовнішніми пристроями через системну магістраль має декілька аналогів, які також використовуються для подібних завдань управління зовнішніми пристроями. Ось кілька прикладів аналогів:

1. KNX (EIB): Це міжнародний стандарт, що використовується для автоматизації будівель і контролю різних пристроїв, таких як освітлення, опалення, вентиляція та безпека. KNX також працює на принципі системної магістралі, що дозволяє інтегрувати різні пристрої в єдину систему керування.

2. Modbus: Це протокол комунікації, який широко використовується в промисловості для збору даних і керування пристроями. Modbus також може бути використаний для керування зовнішніми пристроями через системну магістраль, забезпечуючи зручну інтеграцію та комунікацію.

3. Z-Wave: Це бездротовий протокол, який використовується для домашньої автоматизації і керування пристроями в будинку. Він дозволяє підключати різні зовнішні пристрої, такі як освітлення, замки, термостати тощо, до єдиного керувального пристрою через системну магістраль.

4. DALI (Digital Addressable Lighting Interface): Цей стандарт використовується для керування освітленням в приміщеннях, дозволяючи точне управління окремими освітлювальними приладами через системну магістраль.

5. BACnet (Building Automation and Control Networks): Цей протокол комунікації широко застосовується в системах автоматизації будівель, дозволяючи керувати різними пристроями, такими як опалення, вентиляція та кондиціонування повітря, через системну магістраль.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		9

6. LonWorks: Це технологія, яка дозволяє інтегрувати різні пристрої, такі як освітлення, сигналізація і безпека, в єдину систему керування через системну магістраль.

7. Zigbee: Це бездротовий протокол, який забезпечує зв'язок і керування різними пристроями в домашніх мережах. Він дозволяє зовнішнім пристроям комунікувати з контрольною системою через системну магістраль.

8. EnOcean: Цей протокол бездротового зв'язку використовується для автоматизації будівель і керування різними пристроями, включаючи освітлення, опалення та вентиляцію, через системну магістраль.

9. X10: Це один з найстаріших протоколів домашньої автоматизації, який дозволяє керувати різними пристроями в будинку через системну магістраль, використовуючи електричну проводку.

Ці аналоги пропонують схожі можливості для керування зовнішніми пристроями через системну магістраль, проте вони можуть відрізнятися за засобами комунікації, протоколами та специфікаціями. Вибір конкретного аналогу залежить від ваших потреб і вимог проекту.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	10
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

## 2. ОГЛЯД І АНАЛІЗ ІСНУЮЧИХ МЕТОДІВ ТА СХЕМОТЕХНІЧНИХ РІШЕНЬ ПОСТАВЛЕНОГО ЗАВДАННЯ

### Загальні властивості системної магістралі

PCI Express (PCIe, PCI-e) – один з найпоширеніших протоколів передачі даних. Він використовується в сучасній комп'ютерній техніці для забезпечення взаємодії різних її функціональних блоків між собою.

Для самостійної збірки або апгрейду (вдосконалення) комп'ютера необхідно розуміти, що таке PCI Express, які існують його версії, чим вони відрізняються і які можливості забезпечують.

Актуальності питанню надає також те, що нещодавно компанія AMD в своїх останніх процесорах і відеокартах почала використовувати нову версію PCI Express (PCIe 4.0), позиціонуючи це як важливу перевагу над пристроями конкурентів. Чи справді це так?

У всьому цьому ми й спробуємо розібратися.

### Що ж таке PCI Express

PCI Express (Peripheral Component Interconnect Express, скорочено - PCIe або PCI-e) - це комп'ютерна шина, яка використовує високопродуктивний протокол послідовної передачі даних.

Для більшості необізнаних це визначення напевно здається незрозумілим. Отже розберемо його детальніше.

Комп'ютерна шина - з'єднання, яке служить для передачі даних між функціональними блоками комп'ютера.

Протокол - в даному випадку означає "схема", "алгоритм", "порядок".

Послідовна передача даних - поняття більш складне, йому доведеться приділити більше уваги.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	11
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

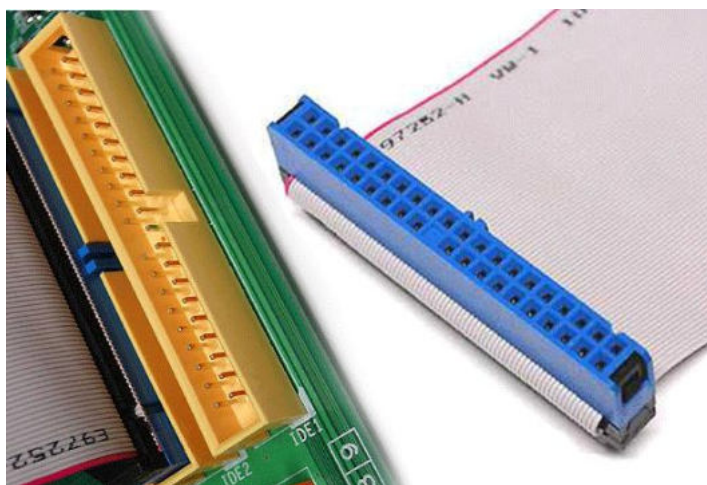
Всі дані всередині комп'ютера циркулюють, обробляються і зберігаються у вигляді бінарного коду, найдрібнішими частинками якого є біти.

Передача даних між функціональними блоками комп'ютера може здійснюватися паралельним або послідовним способом.

### **Паралельна передача даних.**

Паралельний спосіб передбачає використання фізичного з'єднання зі значної кількості провідників. Передача даних здійснюється "порціями", в яких кількість бітів відповідає кількості провідників у з'єднанні. Кожна така порція перед передачею ніби "розгортається в просторі", розділяючись на біти, кожен з яких проходить до приймаючого пристрою по окремому провіднику. Таким чином, кожен одиницю часу кожен біт бінарного коду передається по окремому провіднику цього з'єднання, одночасно (паралельно) з іншими бітами, які передаються по іншим його провідниках. Тому схема і називається паралельною.

Наприклад, комп'ютерна шина PATA (IDE), яка в домашніх комп'ютерах не так давно була основним способом підключення жорстких дисків, складається з 40 провідників (на зображенні нижче).



З них лише 16 використовуються безпосередньо для паралельної передачі даних. За кожен передачу (такт) по такій шині проходить 16 бітів

					<i>КБР.ЕС.9583005.001.ПЗ</i>	12
Вим.	Арк.	№ докум.	Підпис	Дата		

інформації. Частота шини - 33 МГц, тобто кожен секунду відбувається 33 млн. передач. Таким чином, максимальна пропускна здатність такого з'єднання дорівнює 528 млн. бітів в секунду (16 x 33 млн.), або, якщо перевести в мегабайти - 66 Мегабайт/с.

Незважаючи на простоту, паралельна передача даних віджила своє і вже майже не використовується в комп'ютерній техніці. Головні її недоліки:

- високі витрати на створення каналів (потрібно багато провідників);
- низька стійкість до перешкод через взаємний вплив один на одного сигналів, які передаються (особливо, на довгі відстані);
- необхідність забезпечення синхронного проходження даних одночасно по всіх провідниках з'єднання, через що досягнення високої частоти відправки сигналів (частоти шини) є надто складним завданням.

### **Послідовна передача даних.**

Впливу вказаних вище негативних факторів в значно меншій мірі піддаються схеми послідовної передачі даних. Сьогодні вони є дуже поширеними. Всі USB-пристрої, сучасні жорсткі диски, SSD, відеокарти, мережеві карти тощо взаємодіють з іншим обладнанням з використанням послідовної передачі даних. Спосіб її реалізації в кожному з цих видів пристроїв, звичайно ж, відрізняється, але принцип скрізь однаковий.

Для послідовної схеми не потрібно багато провідників. Передача даних здійснюється через один комунікаційний канал по одному біту за кожен передачу, послідовно, один за одним (щось на кшталт азбуки Морзе).

На перший погляд, така схема здається менш ефективною, ніж у випадку з паралельною передачею. Але це далеко не так. Висока швидкість тут досягається за рахунок величезної частоти передачі даних (кілька мільярдів в секунду). А для пристроїв, які потребують особливо високих швидкостей обміну даними, одночасно використовується кілька таких

					<i>КБР.ЕС.9583005.001.ПЗ</i>	13
Вим.	Арк.	№ докум.	Підпис	Дата		

каналів (ліній). Наприклад, сучасні ігрові відеокарти підключаються до комп'ютера через 16 ліній PCIe (PCIe x16).

### **Особливості стандарту PCI Express, його версії.**

Розробка стандарту PCI Express була почата фірмою Intel. Специфікації першої його версії з'явилися ще в 2002 році. Зараз розвитком PCI Express займається організація PCI Special Interest Group, до ради директорів якої входять представники основних розробників апаратного і програмного забезпечення (Intel, Microsoft, IBM, AMD, Sun Microsystems, HP, NVIDIA й інші). У своєму розвитку PCIe пройшов кілька етапів і вже розвинувся до версії 5.0.

PCIe є повнодуплексним протоколом, тобто передбачає використання незалежних один від одного каналів прийому і передачі даних (пристрій може одночасно відправляти і отримувати дані).

Перед відправкою дані кодуються в блоки. Це необхідно для синхронізації пристроїв, що відправляють та приймають сигнал, в також зменшення впливу перешкод.

У версіях PCIe 1.0 і PCIe 2.0 використовується схема кодування 8b/10b. Тобто, кожен 8-бітний блок кодується в 10-бітний, в якому тільки 80% переданих даних є корисними. Решта 20% потрібні для забезпечення належного функціонування протоколу.

В PCIe 3.0 і новіших її версіях дані кодуються за більш ефективною схемою 128b/130b (кожні 128 біт кодуються в 130-бітний блок). Частка корисного вмісту в даних, що передаються, тут становить вже близько 98,46%.

Різні версії PCIe відрізняються не тільки способом "упаковки" бітів в блоки, а й частотою передачі даних. У PCIe 1.0 вона складає 2,5 ГТ/с (гігатранзакцій у секунду), тобто за одну секунду передається 2,5 мільярди бітів. Для кращого сприйняття переведемо це в звичні одиниці:

					<i>КБР.ЕС.9583005.001.ПЗ</i>	14
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

$2,5 \cdot 10^9$  Біт / с = 312,5 Мегабайт / с.

Враховуючи, що лише 80% з них є корисними даними, реальна пропускна здатність PCIe 1.0 складає 250 Мегабайт / с.

У PCIe 5.0 частота передачі даних зросла аж до 32 ГТ / с. Переведемо це в зручний вид:

$32 \cdot 10^9$  Біт / с = 4000 Мегабайт / с = 4 Гігабайт / с.

Оскільки корисні дані становлять 98,46%, реальна пропускна здатність PCIe 5.0 дорівнює 3,938 Гігабайт / с.

Детальніше про особливості різних версій PCIe див. у таблиці 2.1:

Таблиця 2.1

<i>Версія PCI Express</i>	<i>Рік виходу</i>	<i>Схема кодування</i>	<i>Швидкість передачі</i>	<i>Пропускна здатність на x ліній:</i>			
				<i>x1</i>	<i>x4</i>	<i>x8</i>	<i>x16</i>
PCIe 1.0	2002	8b/10b	2,5 ГТ/с	250 Мб/с	1 Гб/с	2 Гб/с	4 Гб/с
PCIe 2.0	2007	8b/10b	5 ГТ/с	500 Мб/с	2 Гб/с	4 Гб/с	8 Гб/с
PCIe 3.0	2010	128b/130b	8 ГТ/с	984,6 Мб/с	3,94 Гб/с	7,88 Гб/с	15,8 Гб/с
PCIe 4.0	2017	128b/130b	16 ГТ/с	1,969 Гб/с	7,88 Гб/с	15,8 Гб/с	31,5 Гб/с
PCIe 5.0	2019	128b/130b	32 ГТ/с	3,938 Гб/с	15,75 Гб/с	31,5 Гб/с	63 Гб/с

### **Застосування PCI Express в комп'ютері. Роз'єми PCI Express**

Контролер (керуючий пристрій) ліній PCIe не так давно був вбудований тільки в чіпсет (головну мікросхему) материнської плати. Але, починаючи з 2009 року, контролер PCIe додається виробниками також і безпосередньо в центральний процесор. Це зменшує затримки і дозволяє процесору ефективніше взаємодіяти з іншими пристроями.

Версії і кількість ліній PCIe в різних моделях процесорів і чіпсетів відрізняється. Значна їх частина формується в роз'єми, які розміщуються на материнській платі. Вони дають можливість підключати до комп'ютера

різноманітні пристрої (відеокарти, звукові карти, мережеві карти, Wi-Fi адаптери та ін.).

На материнській платі сучасного комп'ютера можна знайти роз'єми PCIe декількох видів, які відрізняються кількістю використовуваних в них ліній PCIe (від x1 до x16 ліній). Незалежно від того, наскільки старим є комп'ютер, і яка версія PCIe в ньому використовується, ці роз'єми завжди виглядають однаково:

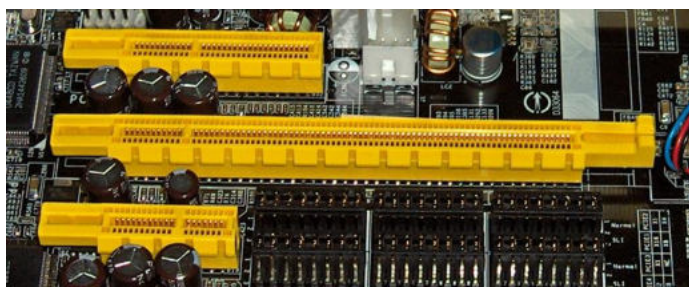


Рис 2.1. Верхній роз'єм - PCIe x4, по середині - PCIe x16, знизу - PCIe x1  
[11]

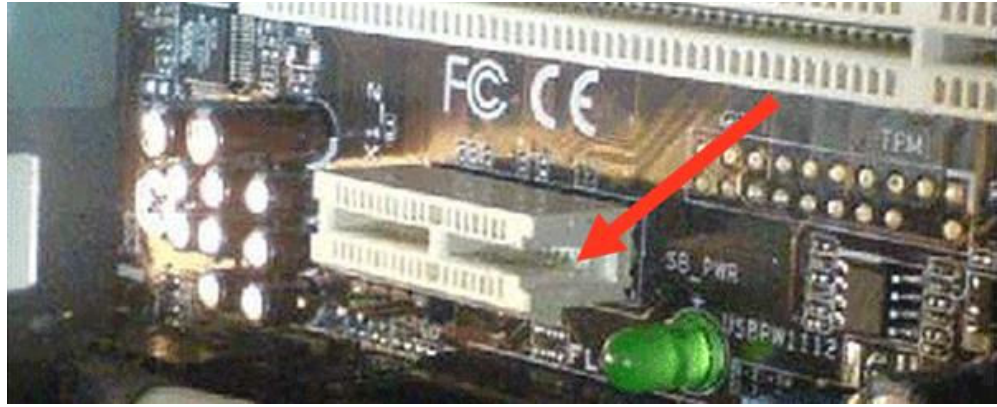
Різні версії PCIe є повністю сумісними. Тобто, якщо в старий комп'ютер, де використовується версія PCIe 2.0, встановити, наприклад, відеокарту з PCIe 4.0, вона буде нормально працювати. Однак, реальна швидкість обміну даними при цьому в неї буде обмежена можливостями PCIe 2.0.

І навпаки, в найновіший комп'ютер з PCIe 4.0 можна без проблем встановити стару відеокарту з PCIe 2.0.

Ще однією особливістю PCIe є сумісність різних її роз'ємів. В роз'єм PCIe x16 можна підключити не тільки відеокарту, але й абсолютно будь-який інший пристрій PCIe, в тому числі й із роз'ємом PCIe x8, PCIe x4 або PCIe x1.

Сумісність роз'ємів зберігається також і у зворотній бік. Тобто, в роз'єм PCIe x1 можна встановити відеокарту з роз'ємом PCIe x16. Фізично вона туди не увійде, але якщо розрізати задню стінку роз'єму (як на зображенні нижче), то все вийде.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	16
Вим.	Арк.	№ докум.	Підпис	Дата		



Це, звичайно ж, "кустарщина" і без крайньої потреби так робити не потрібно. Тим більше, що відеокарта при такому підключенні буде працювати в режимі PCIe x1, що досить негативно позначиться на її швидкодії.

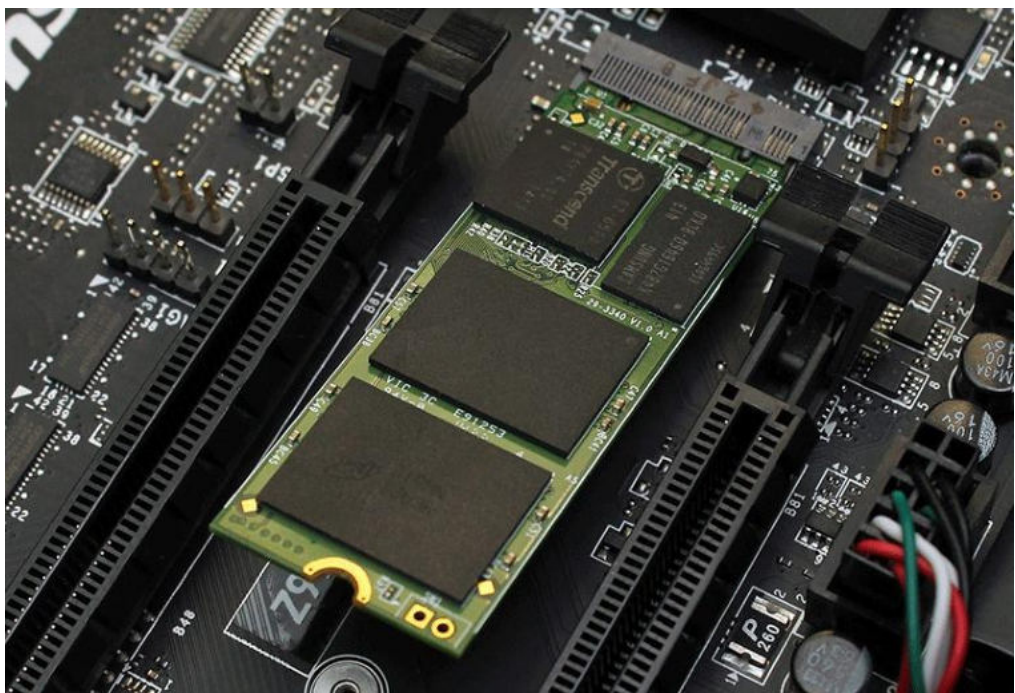


Рис 2.2. Роз'єм M.2 із запам'ятовуючим пристроєм в ньому

Вим.	Арк.	№ докум.	Підпис	Дата

## Чи потрібно вдосконалювати (апгрейдити) комп'ютер заради PCIe 4.0 [11]

Як вже говорилося вище, останньою з версій PCIe, яка офіційно вийшла, є версія 5.0 (опубліковані її офіційні специфікації, але на практиці вона не використовується). Самою "свіжою" версією з використовуваних станом на кінець 2019 року є PCIe 4.0, і, судячи з усього, ще довго буде такою залишатися. Вона вийшла в 2017 році, однак впроваджена в конкретні пристрої лише в 2019 році. Її почала використовувати компанія AMD в процесорах Ryzen архітектури Zen 2, а також у відеокартах Radeon серії RX 5700/5500.

Без сумніву, це значне досягнення AMD, однак, воно поки що є лише напрацюванням на майбутнє і не дає ніяких практичних переваг над конкурентами. Компанія Intel впроваджувати PCIe 4.0 в свої процесори не поспішає. Не поспішає робити це й компанія nVidia, відеокарти якої поки задовольняються PCIe 3.0.

Вся справа в тому, що на сучасному етапі розвитку комп'ютерної техніки можливостей PCIe 3.0 цілком достатньо. Перевагу PCIe 4.0 можна помітити лише в синтетичних тестах. У практичних же сценаріях необхідності у настільки високих швидкостях обміну даними поки немає.

Відеокарти з PCIe 4.0 цілком нормально працюють і в системах з PCIe 3.0. Більш того, навіть в комп'ютерах з PCIe 2.0 вони показують майже таку ж продуктивність в іграх та інших додатках, як в комп'ютерах з PCIe 4.0.

Але триватиме це, судячи з усього, не довго. Напрямок, де найближчим часом стане реально затребуваною PCIe 4.0, є сучасні M.2 SSD-накопичувачі, швидкодія яких вже майже "дісталась стелі" стандарту PCIe 3.0. Потім черга дійде до відеокарт та іншого обладнання.

Отже апгрейдити старий комп'ютер тільки заради PCIe 4.0 поки недоцільно. Однак при покупці нового комп'ютера, який планується до

					<i>КБР.ЕС.9583005.001.ПЗ</i>	18
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

використання впродовж тривалого часу, брати до уваги версію PCIe, підтримувану його внутрішніми пристроями, однозначно потрібно.

## Загальні властивості системної магістралі ISA

### Порядок обміну даними по ISA

Структура персонального комп'ютера типу IBM PC з погляду розробника електронних систем керування (ЕСУ), орієнтованих на ISA, може бути умовно представлений у вигляді рис. 1.1. Крім центрального процесора, системної пам'яті (оперативної і постійної), стандартних засобів введення-виведення, що входять в будь-яку мікропроцесорну систему, тут слід окремо виділити вбудовані контролери переривань і прямого доступу до пам'яті (ПДП), перестановник байтів даних, програмований таймер і контролер регенерації пам'яті. Всі ці пристрої розташовані на материнській (системній) платі комп'ютера або вставлені в слоти ISA (пристрої введення-виведення), беруть участь в обміні по магістралі і можуть бути використані при розробці ЕСУ.

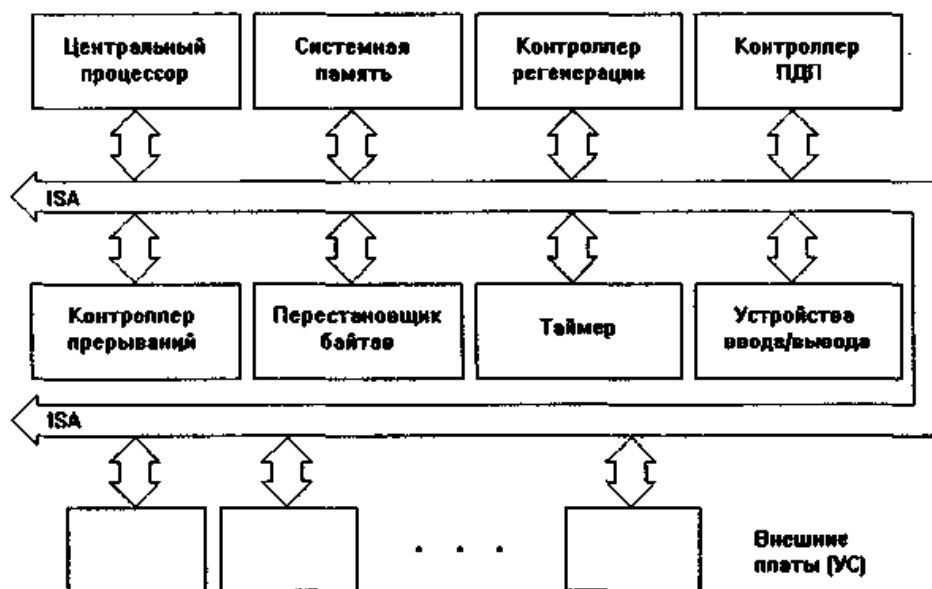


Рис.2.3 Блоки персонального комп'ютера, які беруть участь в роботі ЕСУ[2]

Задатчиками шини можуть виступати центральний процесор (самий звичайний випадок), контролер ПДП, контролер регенерації і деяка зовнішня плата. В кожному циклі обміну задатчиком завжди є тільки один пристрій. Контролер ПДП захоплює магістраль (забороняє роботу центрального процесора) на час прямої передачі інформації між пристроєм введення-виведення і пам'яттю (по запиту пристрою введення-виведення). Контролер регенерації періодично стає задатчиком магістралі для проведення циклів регенерації системної динамічної пам'яті через задані інтервали часу. Для 32-розрядних комп'ютерів (386DX, 486, Pentium і т.д.) обмін процесора з пам'яттю (а іноді і з іншими пристроями) здійснюється через швидкодіючу локальну шину VLB або PCI [1].

### Особливості магістралі ISA

Магістраль ISA була розроблена спеціально для персональних комп'ютерів типу IBM PC AT (починаючи з процесором i8086) і є фактичним стандартом для всіх виробників цих комп'ютерів. В той же час відсутність офіційного міжнародного статусу магістралі ISA (вона не затверджена як стандарт жодним міжнародним комітетом із стандартизації) призводить до того, що багато виробників допускають деякі, деколи істотні відхилення від фірмового стандарту. На це слід звертати увагу при розробці ЕСУ.

ISA була введена як розширення магістралі комп'ютерів IBM PC і IBM PC XT. В ній була збільшена кількість розрядів адреси і даних, було збільшено число ліній апаратних переривань і каналів ПДП, а також була підвищена тактова частота. Був доданий 94-контактний новий роз'єм. Проте сумісність була збережена і ЕСУ розроблені для IBM PC XT, можуть працювати і з IBM PC AT. Характерна відмінність ISA полягає в тому, що її тактовий сигнал не співпадає з тактовим сигналом процесора, як це було в XT, тому швидкість обміну по ній не пропорційна тактовій частоті процесора.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	20
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

Магістраль ISA відноситься до демультимплексорних (тобто має роздільні шини адреси і даних) 16-розрядних системних магістралей середньої швидкодії. Обмін здійснюється 8- або 16-розрядними даними. На магістралі був реалізований роздільний доступ до пам'яті комп'ютера і до пристроїв введення-виведення (для цього є спеціальні сигнали). Максимальний об'єм пам'яті, що адресується, складає 16 Мбайт (24 адресні лінії). Максимальний адресний простір для пристроїв введення-виведення — 64 Кбайта (16 адресних ліній), хоча практично всі плати розширення, що випускаються, використовують тільки 10 адресних ліній (1 Кбайт). Магістраль підтримує регенерацію динамічної пам'яті, радіальні переривання і прямий доступ до пам'яті. Допускається також захоплення магістралі.

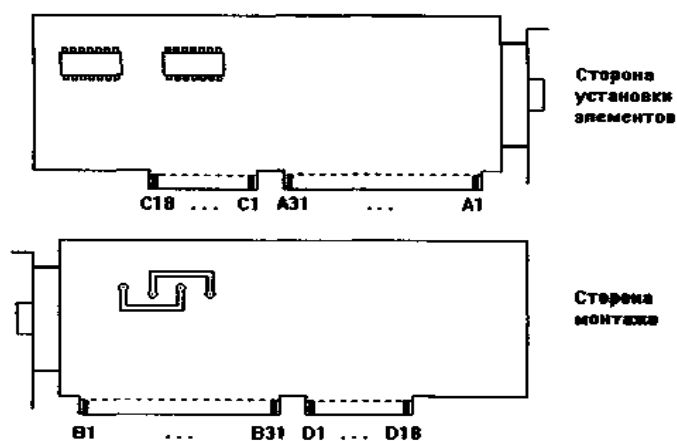


Рис.2.4 Нумерація контактів роз'єму ISA (для IBM PC XT — тільки A1 ... A31 і B1 ... B31).[2]

Найпоширеніше конструктивне виконання магістралі — роз'єми (слоти), встановлені на материнській платі комп'ютера, всі однойменні контакти яких сполучені між собою, тобто всі роз'єми абсолютно рівнозначні. Особливістю конструктивного рішення магістралі є те, що плати розширення (дочірні плати), що підключаються до її роз'ємів, можуть мати самі різні розміри. Плати розширення мають інтерфейсні роз'єми магістралі, виконані технологічними методами для друкованого монтажу. Кількість місць для плат розширення

залежить від типу корпусу комп'ютера і складає звичайно 2-3 для Ultra-slimline корпусів, 3-4 для Slimline корпусів, 5-6 для Desktop корпусів, 4-5 для Mini-tower корпусів, 5-7 для Midi-tower корпусів і більше 8 для Big-tower корпусів. Роз'єм магістралі ISA розділений на дві частини, що дозволяє зменшувати розміри 8-розрядної плати розширення, а також використовувати плату, розроблену для комп'ютерів IBM PC XT. Зовнішній вигляд плат розширення показаний на Рис.2.4. Призначення контактів роз'ємів наведено у табл. 2.2 (в таблиці знак мінус перед назвою сигналу говорить про те, що активним рівнем цього сигналу є рівень логічного нуля, в протилежному випадку активним рівнем буде рівень логічної одиниці). Відзначимо, що в магістралі ISA використовується позитивна логіка на шинах адреси і даних, тобто одиниці відповідає високий рівень напруги, а нулю — низький). На магістралі присутні чотири напруги живлення: +5 В, -5 В +12 В і -12 В, які можуть використовуватися платою розширення.

Таблиця 2.2

Призначення контактів ISA

Конт.	Назва	Призначення	Конт.	Назва	Призначення
A1	/I/O CH CK	I/O channel check; active low=parity error	B22	IRQ6	Interrupt Request 6
A2	D7	Data bit 7	B23	IRQ5	Interrupt Request 5
A3	D6	Data bit 6	B24	IRQ4	Interrupt Request 4
A4	D5	Data bit 5	B25	IRQ3	Interrupt Request 3
A5	D4	Data bit 4	B26	/DACK 2	DMA Acknowledge 2
A6	D3	Data bit 3	B27	T/C	Terminal count; pulses high when DMA term. count reached
A7	D2	Data bit 2	B28	ALE	Address Latch Enable
A8	D1	Data bit 1	B29	+5V	+5 VDC
A9	D0	Data bit 0	B30	OSC	High-speed Clock (70 ns, 1431818 MHz, 50% duty cycle)
A10	I/O CH RDY	I/O Channel ready, pulled low to lengthen	B31	GND	Ground

Конт.	Назва	Призначення	Конт.	Назва	Призначення
		memory cycles			
A11	AEN	Address enable; active high when DMA controls bus			
A12	A19	Address bit 19	C1	SBHE	System bus high enable (data available on SD8-15)
A13	A18	Address bit 18	C2	LA23	Address bit 23
A14	A17	Address bit 17	C3	LA22	Address bit 22
A15	A16	Address bit 16	C4	LA21	Address bit 21
A16	A15	Address bit 15	C5	LA20	Address bit 20
A17	A14	Address bit 14	C6	LA18	Address bit 19
A18	A13	Address bit 13	C7	LA17	Address bit 18
A19	A12	Address bit 12	C8	LA16	Address bit 17
A20	A11	Address bit 11	C9	/MEM R	Memory Read (Active on all memory read cycles)
A21	A10	Address bit 10	C10	/MEM W	Memory Write (Active on all memory write cycles)
A22	A9	Address bit 9	C11	SD08	Data bit 8
A23	A8	Address bit 8	C12	SD09	Data bit 9
A24	A7	Address bit 7	C13	SD10	Data bit 10
A25	A6	Address bit 6	C14	SD11	Data bit 11
A26	A5	Address bit 5	C15	SD12	Data bit 12
A27	A4	Address bit 4	C16	SD13	Data bit 13
A28	A3	Address bit 3	C17	SD14	Data bit 14
A29	A2	Address bit 2	C18	SD15	Data bit 15
A30	A1	Address bit 1	D1	/MEM CS16	Memory 16-bit chip select (1 wait, 16-bit memory cycle)
A31	A0	Address bit 0	D2	/IOCS16	I/O 16-bit chip select (1 wait, 16-bit I/O cycle)
B1	GND	Ground	D3	IRQ10	Interrupt Request 10
B2	RESET	Active high to reset or initialize system logic	D4	IRQ11	Interrupt Request 11
B3	+5V	+5 VDC	D5	IRQ12	Interrupt Request 12



плата розширення працює тільки з SA0...SA9). Розподіл адрес пристроїв введення/виведення представлений в таблиці 1.2, а розподіл адрес пам'яті — в таблиці 1.3. Легко помітити, що значна частина цих адрес була зайнята стандартними пристроями комп'ютера. При регенерації пам'яті дійсні тільки сигнали SA0...SA7, стани старших розрядів не визначені. Логіка всіх сигналів SA0...SA19 — позитивна. В режимі MASTER ці сигнали виробляє пристрій, що захопив магістраль. LA17...LA23 — адресні розряди, що не фіксуються. Вони використовуються для адресації пам'яті і вироблення сигналу MEM CS 16 і дійсні тільки на початку циклу обміну. Виконуючий пристрій повинен фіксувати їх по негативному фронту сигналу BALE. При зверненні до пристроїв уведення-виведення ці сигнали мають рівень логічного нуля, а їх логіка є позитивною. Для фіксації необхідно використовувати регістр типу "клямка" (із записом по рівню), стробований сигналом BALE (наприклад, KP1533IP33, K555IP22). При прямому доступі до пам'яті ці сигнали дійсні протягом всього циклу обміну, як і SA0...SA19. В режимі MASTER ці сигнали також виробляє пристрій, що захопив магістраль. Для вихідних каскадів даних сигналів слід використовувати елементи з тристабільною логікою. Сигнал BALE (Bus Address Latch Enable — дозвіл заціпування адреси) стробує адресні розряди. Його негативний фронт відповідає наявності адреси на лініях SA0...SA19 і LA17...LA23. Цей сигнал може використовуватися пристроями введення-виведення для завчасної підготовки до майбутнього обміну інформацією, хоча такий режим застосовується рідко. Тип елементів вихідного каскаду, що сприймає даний сигнал, має бути типу ТТЛ.[1]

Сигнал SBHE (System Bus High Enable — дозвіл старшого байта) — визначає тип циклу передачі даних (8- або 16-розрядний). Виробляється паралельно з сигналами SA0...SA19 і може розглядатися як додатковий розряд адреси. Він стає активним при передачі старшого біта або 16-розрядного слова (визначається сигналом SA0) і є пасивний при передачі молодшого байти. В режимі MASTER джерелом цього сигналу є пристрій, який захоплює магістраль.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	25
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

Розподіл адрес пристроїв введення/виведення ISA  
(адреси дані в 16-розрядному коді)

Адреси	Призначення
000...01F	Контроллер ПДП 1
020...03F	Контроллер переривань 1
040...05F	Програмований таймер
060...06F	Контроллер клавіатури
070...07F	Годинник реального часу
080... 09F	Регістр сторінки ПДП
ВАТ...0BF	Контроллер переривань 2
ОСО...0DF	Контроллер ПДП 2
ОFO...	Математичний співпроцесор
170...177	Накопичувач на жорсткому диску (другий)
1F0...1F7	Накопичувач на жорсткому диску (перший)
200...207	Ігровий порт (джойстик)
278...27F	Паралельний порт LPT2
2C0...2DF	Адаптер EGA 2
2F8...2FF	Послідовний порт COM2
300...31F	Прототипна плата
320...32F	Накопичувач на жорсткому диску XT
360...36F	Резервні адреси
370...377	Накопичувач на гнучкому диску (другий)
378...37F	Паралельний порт LPT1
380...38F	Контроллер бисинхронного обміну SDLC2
3A0...3AF	Контроллер бисинхронного обміну SDLC1
3B0...3DF	Адаптер VGA
3B0...3BF	Адаптер монохромного дисплея MDA і принтера
3C0...3CF	Адаптер EGA 1
3D0...3DF	Адаптер CGA
3F0...3F7	Накопичувач на гнучкому диску (перший)
3F8...3FF	Послідовний порт COM1

Таблиця 2.4

Розподіл адрес пам'яті

Адреси пам'яті	Призначення
000000... 0003FF	Таблиця векторів переривань
000000...09FFFF	Пам'ять DOS і призначених для користувача програм
0A0000...0AFFFF	Пам'ять дисплея EGA або VGA
0B0000...0B7FFF	Пам'ять монохромного дисплея MDA

0B8000...0BFFFF	Пам'ять дисплея CGA
0C0000...0C3FFF	ПЗП BIOS для EGA/VGA
0C8000...0DFFFF	ПЗП пристроїв уведення-виведення
0E0000...0EFFFF	Резерв ПЗП BIOS на материнській платі
0F0000...0FFFFFF	ПЗП BIOS на материнській платі

У табл. 2.4 приведено типи виконуваних операцій при різних значеннях сигналів SBHE і SAO у разі програмного обміну та у разі прямого доступу до пам'яті.

Контакти SDO...SD15 задають розряди даних. По лініях SDO...SD7 передається молодший байт, по лініях SD8...SD15 — старший байт. Обмін даними з 8-розрядною платою розширення здійснюється по лініях SDO...SD7. Пристрій може активізувати шину даних, якщо на нього подано сигнал активації циклу зчитування або якщо він захопило магістраль (в режимі MASTER). Логіка сигналів на цих контактах позитивна. Тип вихідних каскадів для зовнішніх пристроїв має відповідати тристабільній логіці.

Сигнали -SMEMR, -MEMR (Memory Read — читання пам'яті) забезпечують вивід рядків даних з пам'яті. Пам'ять повинна виставляти дані на шину при активізації цих сигналів. Сигнал -SMEMR виробляється тільки при зверненні до адрес, що не перевищують FFFFF і знаходяться в межах 1 Мбайта. Сигнал -MEMR виробляється при зверненні до всіх адрес. Тип вихідних каскадів для зовнішніх пристроїв має відповідати тристабільній логіці.

Сигнали -SMEMW, -MEMW (Memory Write — запис пам'яті) є стробами запису даних в пам'ять. Пам'ять повинна приймати дані по позитивному задньому фронту цих сигналів. Сигнал -SMEMW виробляється тільки при зверненні до адрес, що не перевищують FFFFF (в межах 1 Мбайта), сигнал -MEMW — при зверненні до всіх адрес. В режимі MASTER ці сигнали виробляє пристрій, що захопив магістраль. Тип вихідних каскадів для зовнішніх пристроїв має відповідати тристабільній логіці [1].

Таблиця 2.5

					<i>КБР.ЕС.9583005.001.ПЗ</i>	27
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

Тип виконуваних операцій залежно від сигналів -SBHE і SAO при ПДП (L — молодший байт, H — старший байт, ПБВ — пристрій введення-виведення).

ПБВ	Контроллер ПДП		Пам'ять		Виконуваний цикл		
	Розмір даних	- SBHE	SAO	Розмір даних	CS16	Розмір даних	Операція: читання запис
8	1	0	8	1	8	L->L	L->L
8	1	0	16	0	8	L->L	L->L
8	X	1	8	1	8	L->L	L->L.
8	X	1	16	0	8	H->L	L->H
16	0	0	8	1	8	Заборонено	
16	0	0	16	0	16	L->L H->H	L->L H->H

Сигнал -IOR (I/O Read) проводить стробування операції читання даних з пристроїв введення/виведення. Пристрій введення-виведення повинен виставляти свої дані при активізації сигналу -IOR і знімати їх при знятті цього сигналу. В режимі MASTER цей сигнал виробляє пристрій, що захопив магістраль. Тип вихідних каскадів для зовнішніх пристроїв має відповідати тристабільній логіці.

Сигнал -IOW (I/O Write) здійснює стробування запису даних в пристрої введення/виведення. Пристрій введення-виведення повинен приймати дані по позитивному (задньому) фронту сигналу -IOW. В режимі MASTER цей сигнал виробляє пристрій, що захопив магістраль. Тип вихідних каскадів для зовнішніх пристроїв має також відповідати тристабільній логіці.

Сигнал -MEM CS16 (Memory Cycle Select — вибір циклу для пам'яті) виставляється пам'яттю комп'ютера для повідомлення задатчику про те, що вона має 16-розрядну організацію. За відсутності цього сигналу виконується 8-розрядний обмін даними. Сигнал виробляється при розпізнаванні пам'яттю своєї адреси на лініях LA17...LA23. Процесор фіксує його по задньому фронту

сигналу BALE. Оптимальними пристроями для зв'язку служать транзисторні каскади із відкритим колектором.

Сигнал -I/O CS16 (I/O Cycle Select — вибір циклу для пристрою введення-виведення) виставляється пристроєм введення-виведення для повідомлення задатчику про те, що він має 16-розрядну організацію. За відсутності цього сигналу виконується 8-розрядний обмін. Сигнал виробляється при розпізнаванні пристроєм введення-виведення своєї адреси на лініях SA0...SA15. Оптимальними пристроями для зв'язку служать також транзисторні каскади із відкритим колектором.

Сигнал I/O CH RDY (I/O Channel Ready — готовність каналу введення/виведення) знімається (стає низьким по рівню) виконуючим пристроєм введення-виведення або пам'яттю по передньому фронту сигналів -IOR і -IOW у випадку, якщо він не встигає виконати необхідну операцію в темпі задатчика. При цьому реалізується асинхронний обмін. Якщо виконавець встигає працювати в темпі задатчика, сигнал не знімається (на ньому не встановлюється в низький логічний рівень). Цикл обміну у відповідь на зняття цього сигналу продовжується на ціле число періодів сигналу SYSCLK. Сигнал I/O CH RDY не повинен зніматися на якийсь час, більше заданого в даному комп'ютері (за стандартом — 15 мкс), інакше комп'ютер переходить до обробки немаскованого переривання. Оптимальними пристроями для зв'язку, як і в попередніх випадках служать транзисторні каскади із відкритим колектором.

Сигнал -I/O CH CK (I/O Channel Check — перевірка каналу введення/виведення) виробляється будь-яким виконуючим пристроєм введення-виведення або пам'яттю для інформування задатчика про фатальну помилку, наприклад про помилку парності при доступі до пам'яті. Сигнал викликає немасковане переривання.

Сигнал -OWS (0 Wait States — 0 тактів очікування) виставляється виконавцем для інформування задатчика про необхідність проведення циклу обміну без вставки такту очікування, якщо тривалість стандартного циклу обміну велика для нього. Виробляється після переходу сигналу BALE в

					<i>КБР.ЕС.9583005.001.ПЗ</i>	29
Вим.	Арк.	№ докум.	Підпис	Дата		

низький рівень. Даний сигнал повинен бути синхронізованим з сигналом SYSCLK. В конкретних ЕСУ він використовується рідко.

Сигнал -REFRESH (регенерація) виставляється контроллером регенерації для інформування всіх пристроїв на магістралі про виконання циклів регенерації динамічного ОЗП комп'ютера кожні 15 мкс. При регенерації виконується читання з одного з 256 адрес ОЗП (активізуються тільки розряди адреси SA0...SA7). Повний цикл регенерації триває близько 4 мс.

Сигнал RESET DRV (Reset Driver — скидання пристрою) являє собою сигнал скидання в початковий стан всіх пристроїв на магістралі. Виробляється центральним процесором при включенні або збої живлення, а також при натисненні на кнопку RESET комп'ютера. Зовнішня плата повинна у відповідь на цей сигнал тривалістю не менше 1 мс перевести всі свої виходи у нормальний стан. Для зовнішніх пристроїв оптимальним є вихідні кола із TTL логікою.

SYSCLK (System Clock — системний такт) є імпульсним сигналом (меандр з шпаруватістю 2) системного тактового генератора. В більшості комп'ютерів його частота рівна 8 МГц незалежно від тактової частоти процесора. Якщо в програмі SETUP була передбачена можливість зміни тактової частоти магістралі, користувач може задавати її в широких межах. Але для забезпечення найбільшої сумісності зі всією наявною платою зовнішньої ЕСУ не рекомендується піднімати цю частоту вище 8 МГц. До того ж на продуктивність нових комп'ютерів в цілому вона практично не впливає. В комп'ютерах XT сигнал SYSCLK є одночасно і тактовим сигналом процесора.

Сигнал OSC являє собою не синхронізований з SYSCLK сигнал кварцового генератора з частотою 14,31818 МГц з шпаруватістю 2. Може використовуватися платою розширення як тактовий сигнал, оскільки його частота однакова для всіх комп'ютерів з магістраллю ISA.

IRQ (Interrupt Request — запит переривання) — сигнали запиту радіальних переривань. Запитом є позитивний перехід на відповідній лінії IRQ. Сигнал повинен утримуватися до початку обробки процесором

					<i>КБР.ЕС.9583005.001.ПЗ</i>	30
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

запитаного переривання. На кожній лінії IRQ повинен бути один вихід. Іноді в літературі можна зустріти рекомендацію застосовувати виходи з трьома станами, але все одно більше одного виходу на лінію бути не повинне щоб уникнути конфліктів сигналів. Багато входів IRQ зайняті управлінням системними ресурсами комп'ютера (таблиця 2.6). Сигнали IRQ0...IRQ2, IRQ8 і IRQ13 задіяні на системній платі і неприступні для використання зовнішніми платами розширення. В комп'ютері використовуються два 8-розрядні контролери переривань. Сигнали IRQ0...IRQ7 відносяться до першого з них, а IRQ8...IRQ15 — до другого. У цих двох контролерах переривання мають наступні пріоритети в порядку зростання: IRQ7, IRQ6, IRQ5, IRQ4, IRQ3, IRQ15, IRQ14, IRQ12, IRQ11, IRQ10, IRQ9.[1]

Таблиця 2.6

Призначення апаратних переривань ISA

№ переривання IRQ	INT	Призначення
0	08h	Програмований таймер
1	09h	Контроллер клавиатури
2	0Ah	Каскадує другого контроллера
8	70h	Годинник реального часу (тільки АТ)
9	71h	Програмно переадресовано на IRQ2
10	72h	Резерв
11	73h	Резерв
12	74h	Резерв
13	75h	Математичний співпроцесор
14	76h	Контроллер жорсткого диска
15	77h	Резерв
3	0Bh	Послідовний порт COM2
4	0Ch	Послідовний порт COM 1
5	0Dh	Паралельний порт LPT2
6	0Eh	Контроллер гнучкого диска
7	0Fh	Паралельний порт LPT1

Сигнал DRQ (DMA Request — запит прямого доступу до пам'яті (ПДП)). Запитом є позитивний перехід на відповідній лінії DRQ. Сигнал повинен утримуватися до отримання у відповідь сигналу -DACK з тим же номером. На кожній лінії DRQ повинен бути один вихід. В комп'ютері використовуються два контролери ПДП. Канали ПДП, відповідні першому контролеру

(сигнали DRQ0...DRQ3) призначені для 8-бітового обміну, а відповідні сигнали другого контролера (DRQ5...DRQ7) — для 16-бітового обміну. Канал DRQ4 використовується для перекомутації контролерів контролерів і неприступний для використання зовнішнім користувачам.

Сигнал AEN (Address Enable — дозвіл адреси) використовується в режимі ПДП для повідомлення всій платі розширення, що проводиться цикл ПДП. При появі активного стану даного сигналу всі плати розширення, що не беруть участі в даному ПДП, повинні відключатися від магістралі, тобто перейти в пасивний стан.

Сигнал T/C (Terminal Count — закінчення рахунку) встановлюється в режимі ПДП тоді, коли по поточному каналу ПДП закінчений рахунок циклів пересилок даних.

Сигнал -MASTER (Master — задатчик) використовується платою розширення, яка збирається перейти в режим керування магістраллю. В цьому випадку треба виставити сигнал DRQ і отримавши у відповідь сигнал -DACK, встановити сигнал -MASTER. Через не менше ніж один період SYSCLK можна виставляти адреси і через два періоди SYSCLK можна виробляти строби обміну даними. Якщо -MASTER утримується більше 15 мкс, то динамічне ОЗП комп'ютера вимагає регенерації, яка дозволяється сигналом -REFRESH.

Стандартом магістралі ISA встановлені обмеження на максимальне значення струму, споживаного кожною зовнішньою платою розширення. Значення цих струмів для всіх напруг живлення приведені в таблиці 2.7. Відзначимо, що максимальний струм споживання всією платою розширення, визначається типом джерела живлення даного комп'ютера і не стандартизований. Взагалі ж потужність блоку живлення залежить від класу комп'ютера і може варіюватися від 100—150 Вт (для slim-корпусів) до 300—330 Вт (для bigtower). Деякі сучасні комп'ютери мають блоки живлення з потужністю не більше 75 Вт. Найтипівіші параметри джерела живлення IBM PC AT потужністю 200 Вт приведені в таблиці 2.8 [1].

## Максимальні струми споживання зовнішніми платами розширення

Напруга	8-розрядна плата	16-розрядна плата
+5 В	3,0 А	4,5 А
-5В	1,5А	1.5А
+12 В	1,5А	1,5А
-12В	1.5А	1,5А

## Допустимі струми споживання від джерела живлення

Напруга живлення	Допустимий струм
+5В	7..19.8А
-5В	0,0... 0,3 А
+ 12В	2,5.. 7,3 А
-12В	0,0.. 0,3 А

Вихідні напруги джерела живлення досягають номінального рівня за час не більше 100 мс після включення живлення. Джерела, як правило мають вбудований захист від перевантажень, який включається за час 20 мс. Джерело живлення повинен бути обов'язково навантажено по напругах +5 В і +12 В. Якщо по цих виходах не буде забезпечений мінімальний струм споживання, це сприймається як перевантаження. Для виходу з перевантаження треба вимкнути і знову включити живлення джерела через час не менше 1с.

## Цикли обробки даних магістралі ISA

В режимі програмного обміну інформацією на магістралі ISA виконуються чотири типи циклів:

- цикл запису в пам'ять;
- цикл читання з пам'яті;
- цикл запису в пристрій введення/виведення;
- цикл читання з пристрою введення/виведення.

Найбільш часто ЕСУ проектуються як пристрої введення/виведення. Тимчасові діаграми циклів обміну для цього випадку були приведені на рис.2.5 (всі параметри приведені для частоти SYSCLK, рівної 8 МГц). Цикли починаються з виставлення задатчиком адреси на лініях SA0...SA15 і сигналу -SBHE. Відзначимо, що не дивлячись на потенційну можливість адресації по 16 лініям адреси, частіше за все використовуються тільки 10 молодших ліній SA0...SA9, оскільки більшість розроблених раніше плат розширення використовує тільки їх отже, за винятком особливих випадків немає необхідності обробляти старші розряди SA10...SA15.

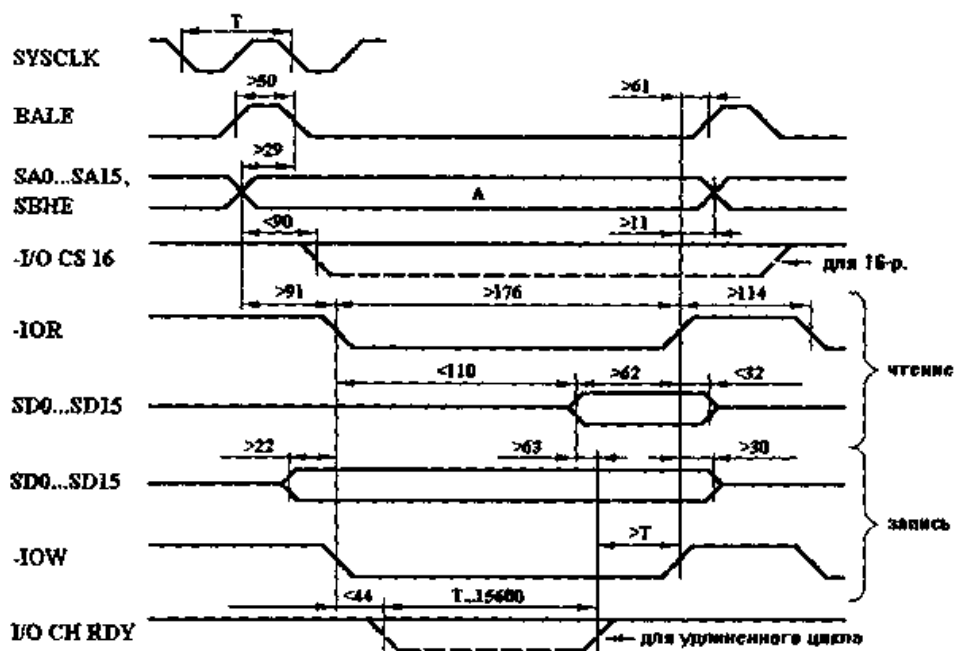


Рис.2.5. Тимчасові діаграми циклів програмного обміну з пристроями введення-виведення (всі часові інтервали на діаграмах дані в наносекундах)[1]

При циклі читання задатчик виставляє сигнал -IOR, у відповідь на який виконавець (ЕСУ) повинен видати дані на шину даних. Ці дані повинні бути зняті виконавцем після закінчення сигналу. В циклі запису задатчик виставляє записувані дані і супроводжує їх стробом запису IOW. Тут треба відзначити, що хоча відповідно до стандарту установка записуваних даних передуює виставлянню -IOW, в деяких комп'ютерах реалізується зворотний порядок: спочатку виставляється -IOW, а потім з'являються дані. Тому при проектуванні ЕСУ треба розглядати як момент обробки даних тільки задній (позитивний) фронт сигналу -

IOW. У разі, коли ЕСУ не встигає виконати команди в темпі магістралі, вона може продовжити на ціле число періодів сигналу SYSCLK цикли читання або запису за допомогою зняття сигналу I/O CH RDY (так званий подовжений цикл). Така процедура проводиться у відповідь на отримання сигналу -IOR або -IOW. Сигнал I/O CH RDY може утримуватися низьким не більше 15,6 мкс, в протилежному випадку процесор переходить в режим обробки немаскованого переривання. Відзначимо, що деякі комп'ютери мають інші допустимі величини цього тимчасового інтервалу (наприклад, 2,5 мкс), так що не слід орієнтуватися на максимальну величину, вказану в стандарті, інакше немає гарантії роботи ЕСУ при зміні управляючого комп'ютера. На рис.2.6 приведені часові діаграми циклів обміну з пам'яттю, де вказані тільки часові інтервали. Для асинхронного режиму обміну (подовженого циклу) також використовується сигнал I/O CH RDY. Відзначимо, що ЕСУ, що працює як пам'ять, повинна обробляти всі адресні розряди, включаючи LA17...LA23. Крім циклів програмного обміну на магістралі ISA можуть виконуватися також цикли прямого доступу до пам'яті [1].

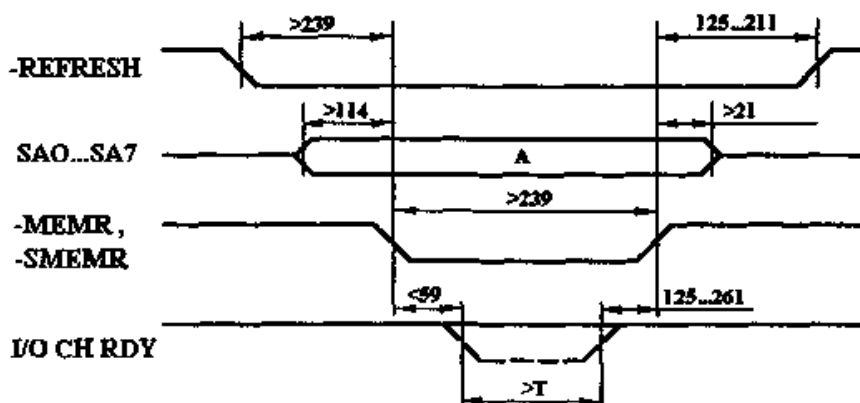


Рис.2.6 Часові діаграми циклів регенерації (T — період сигналу SYSCLK, всі часові інтервали задані в наносекундах)[1]

### Електричні характеристики ліній ISA

При проектуванні ЕСУ крім протоколів обміну по магістралі треба враховувати також електричні характеристики сигналів. Стандарт магістралі визначає вимоги до вхідних і вихідних струмів приймачів і джерел сигналу

кожної з плат розширення. Недотримання цих вимог може порушити функціонування всього комп'ютера і навіть вивести його з ладу.

Вихідні каскади передавачів магістральних сигналів ЕСУ повинні видавати струм низького рівня не менше 24 мА (це відноситься до всіх типів вихідних каскадів), а струм високого рівня — не менше 3 мА (для виходів з трьома станами і ТТЛ). Вхідні каскади приймачів магістральних сигналів повинні споживати вхідний струм низького рівня не більше 0,8 мА, а вхідний струм високого рівня — не більше 0,04 мА. Окрім цього необхідно враховувати, що максимальна довжина друкарського провідника від контакту магістрального роз'єму до виходу мікросхеми не повинна перевищувати 65 міліметрів, а максимальна ємність щодо землі по кожному контакту магістрального роз'єму не повинна бути більше 20 пФ. До деяких ліній магістралі підключені резистори навантажень, що йдуть на шину живлення +5 В. До ліній -IOR, -IOW, -MEMR, -MEMW, -SMEMR, -SMEMW, -I/O CH СЬК підключені резистори 4,7 кОм, до ліній -I/O CS 16, -MEM CS 16, -REFRESH, -MASTER, -O\VS – резистори 300 Ом, а до лінії I/O CH RDY — резистори 1 кОм. Крім того до деяких ліній магістралі підключені послідовні резистори: до ліній -IOR, -IOW, -MEMR, -MEMW, -SMEMR, -SMEMW і OSC - резистори номіналом 22 Ом, а до лінії SYSCLK — 27 Ом.[1]

### Одноплатний логічний аналізатор

Одним із прикладів використання шини ISA, як інтерфейсу ЕСУ, можна розглянути контролер, що використовується при аналізі цифрової апаратури. Такий логічний чи сигнатурний аналізатор має в своєму складі багаторозрядне буферне ОЗП з вузлами керування та синхронізації. Логічний аналізатор по своєму призначенню близький до осцилографа, оскільки він дозволяє спостерігати на екрані тимчасові діаграми сигналів. Але на відміну від звичайного осцилографа логічний аналізатор працює тільки з цифровими дворівневими (рідше трирівневими) сигналами, має велику кількість вхідних ліній (звичайно від 16 до 64), працює і в режимі

					<i>КБР.ЕС.9583005.001.ПЗ</i>	36
Вим.	Арк.	№ докум.	Підпис	Дата		

однократного запам'ятовування часових діаграм, а також має можливість передпускової реєстрації (рис.2.7).

Відмінність від звичайних осцилографів, в яких розгортання форми вхідного сигналу починається у момент запуску (тобто приходу зовнішнього сигналу запуску або перевищення вхідним сигналом заданого рівня напруги), тут точка запуску може бути і на початку і в середині і в кінці вікна реєстрації. Під запуском тут розуміється тимчасова прив'язка процесу реєстрації до досліджуваного процесу. Запуском може служити, наприклад, поява в потоці даних заданого коду або перехід (фронт) на одній з вхідних ліній.

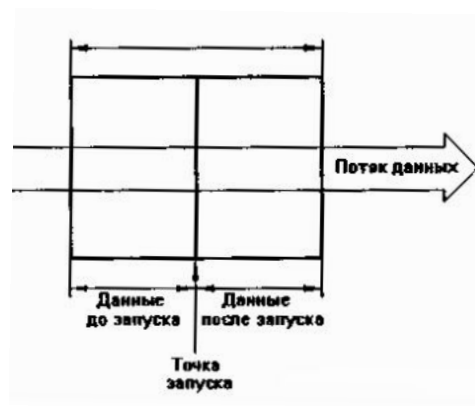


Рис.2.7 Передпускова реєстрація сигналів [4]

В цьому випадку оператор може бачити не тільки те, що відбувалося після запуску (як у випадку із звичайним осцилографом), але і те, що відбувалося до нього. Логічні аналізатори діляться на синхронні (або аналізатори логічних станів) і асинхронні (або аналізатори тимчасових діаграм). Синхронні аналізатори працюють від тактового генератора досліджуваної схеми і фіксують тільки тимчасові зсуви, кратні його періоду, а отже, виявляють тільки порушення логіки роботи схеми. Асинхронні аналізатори працюють від власного внутрішнього тактового генератора, тому вони виміряють абсолютні значення тимчасових зсувів і можуть виявляти помилки через неправильно розраховані кола затримки. Вони звичайно працюють набагато швидше, ніж синхронні аналізатори, які розраховуються на гранично можливу частоту реєстрації.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	37
Вим.	Арк.	№ докум.	Підпис	Дата		

При виконанні логічного аналізатора у вигляді плати розширення персонального комп'ютера оператор одержує в своє розпорядження всю потужність цього комп'ютера: інтелект, засоби введення і відображення інформації, дискову пам'ять і т. д. В результаті ціною незначних додаткових витрат (ціна плати) є можливість перетворити комп'ютер (на якийсь час або назавжди) на ефективний і дуже зручний логічний аналізатор. Відзначимо, що це далеко не всі переваги даного підходу. Аналізатор має наступні параметри: кількість вхідних ліній (каналів реєстрації) — 32, кількість реєстрованих станів — 4096, максимальна тактова частота — 10 МГц, тактовий генератор — внутрішній із змінною частотою або зовнішній, запуск — по позитивному або негативному переходу на одній з 8 вхідних ліній, глибина передпускової реєстрації — задається програмно.

Розглянемо, які режими обміну з магістраллю потрібні в даному випадку. Для забезпечення потрібного темпу прийому даних (до 10 МГц) абсолютно необхідно буфер ОЗП, обмін з яким повинен бути періодичним: при реєстрації він заповнюється в темпі тактового генератора, після закінчення реєстрації його вміст прочитується комп'ютером. Зареєстрована інформація повинна оброблятися і відображатися на екрані з метою аналізу її оператором. Цей процес більш тривалий, ніж перекачування інформації з буферного ОЗП в системне ОЗП комп'ютера. Тому в даному випадку особливої швидкості обміну не потрібно. Такий обмін організовується як 16-розрядний обмін з зовнішнім пристроєм, маючи великий виграш в часі в порівнянні з 8-розрядним обміном, та зате він вимагає додаткових апаратних витрат (удвічі більше буферів даних, формування сигналу -I/O CS 16). До того ж в цьому випадку ускладнюється проектування друкованої плати, оскільки необхідно виготовити інший магістральний роз'єм. Виходячи зі всіх цих міркувань, в роботі [4] використовується 8-розрядний обміні і не використовується ПДП. Що стосується переривань, то для логічного аналізатора їх використання дуже бажане, адже між початком реєстрації і її закінченням, пов'язаним виключно з приходом

					<i>КБР.ЕС.9583005.001.ПЗ</i>	38
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

запуску, може пройти досить великий час. Передбачено можливість виконання в цей період комп'ютером інших задач.

Таким чином, інтерфейсна частина одноплатного аналізатора повинна забезпечує наступні параметри. Кількість адрес ЕСУ в адресному просторі пристроїв уведення-виведення — 5, з яких чотири використовуються для читання зареєстрованих даних, а один — для читання прапора готовності. Для запису управляючого слова використовується два з цих п'яти адрес. Одне переривання також використовується після закінчення реєстрації.

Основні вузлами операційної частини аналізатора є: буферне ОЗП об'ємом 128 Кбіт з організацією 4К x 32, лічильник для перебору адрес, внутрішній тактовий генератор з програмно змінною частотою, схема запуску і входні буфера для реєстрованих сигналів. ОЗП виконане на багаторозрядних мікросхемах (для зниження кількості корпусів). Вимоги до його швидкодії в даному випадку невисокі (при максимальній тактовій частоті 10 МГц протягом 100 нс необхідно перемкнути лічильник адрес і записати входну інформацію в ОЗП).

Лічильник має максимальну швидкодію, тому в якості взято мікросхему КР531ИЕ17, яка достатньо легко каскадується без втрат швидкодії. Окрім простого перебору адрес лічильник повинен також забезпечує передпускову реєстрацію. Для реалізації передпускової реєстрації, необхідно до приходу запуску безперервно в циклі переписувати вміст буферного ОЗП (рис.2.8). Якщо оберемо глибину передпускової реєстрації N тактів, то треба зупинити реєстрацію через 4096 - N тактів після приходу запуску. Потім проходить зчитування ОЗП, починаючи з точки зупинки з перебором адрес в тому ж напрямі, що і при реєстрації. Провівши 4096 операцій читання вмісту ОЗП, отримують N тактів до запуску і 4096 - N тактів після запуску.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	39
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

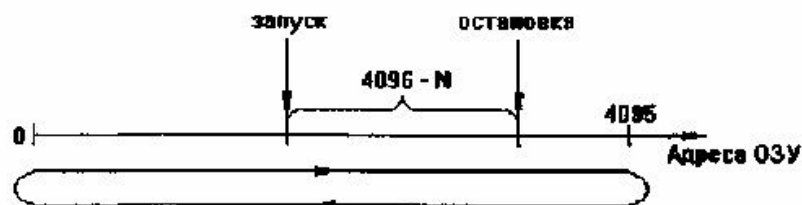


Рис.2.8 Реалізація передпускової реєстрації [4]

Такий процес відбудеться саме так тільки в тому випадку, якщо від моменту початку реєстрації до моменту приходу запуску аналізатор встигне зафіксувати  $N$  тактів. Інакше ми не перепишемо все ОЗП і в частині його адрес знаходитиметься попередня інформація. Заборонити реакцію систем на запуск протягом  $N$  тактів після початку реєстрації, тобто витримати своєрідний "мертвий час". В випадку, якщо запуск прийде протягом цього "мертвого часу"? і досліджуваній процес періодичний, то аналізатор зреагує на наступний запуск. Якщо ж процес однократний, то передбачено початок процесу реєстрації раніше, ніж почнеться процес, що вивчається (якщо ми досліджується старт комп'ютера при включенні живлення). В результаті лічильники аналізатора забезпечують тимчасову діаграму, показану на рис. 2.9 Адреси ОЗП починають перебиратися з початком реєстрації. Протягом  $N$  тактів після початку реєстрації запуск заборонений.

Через  $4096 - N$  тактів після приходу запуску реєстрація припиняється.[4]

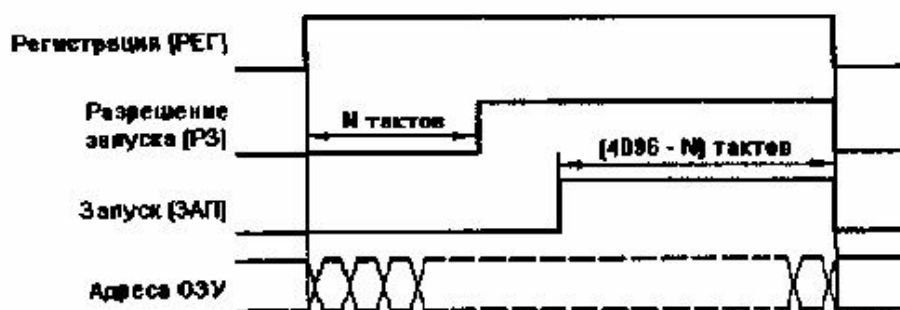


Рис.2.9 Тимчасова діаграма роботи лічильників логічного аналізатора [4]

Тактовий генератор аналізатора виконаний на лічильнику Сч.1 і мультиплексорі М1 (рис. 2.10). Він може видавати ряд частот, що розрізняються в 2 рази (період 100, 200, 400, 800, 1600, 3200, 6400 нс) або зовнішній тактовий сигнал ВТС. Тобто тут реалізуються як синхронний, так і асинхронний режими роботи. В якості запуску використовується позитивний або негативний перехід на одній з восьми вхідних ліній, вибраних мультиплексором М2 (полярність переходу задається керуванням інвертуванням на елементі "Виключає АБО"). 7-розрядне управляюче слово записується в реєстр управляючого слова РУС по сигналу ЗПС (STR WO).

Перед початком роботи записується в аналізатор управляюче слово і попередження (глибину передпускової реєстрації). 8-розрядний код попередження N записується в два 12-розрядні лічильники Сч.2 і Сч.3 по сигналу ЗУП (STR W1). При цьому на чотири молодші вхідні розряди лічильників подається сигнал логічного нуля (тобто попередження задається з точністю до чотирьох тактів і вибирається з ряду: 0, 16, 32, 48, 64 ..., 4080 тактів).

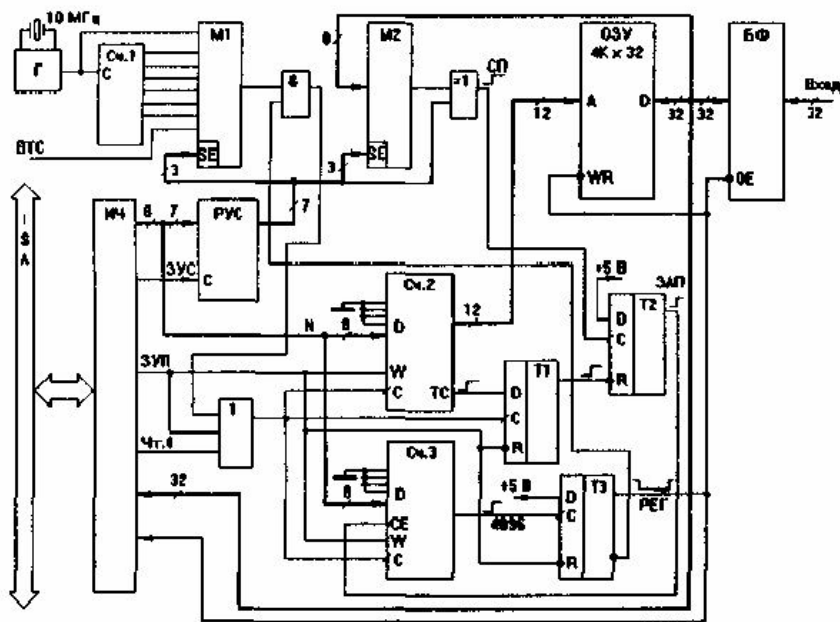


Рис.2.10 Функціональна схема логічного аналізатора [5]

Вим.	Арк.	№ докум.	Підпис	Дата

Запис попередження служить стартом реєстрації (скидаються тригери Т1, Т2, Т3, починає рахувати Сч.2, ОЗП переходить в режим запису, а вхідний буфер БФ — в режим пропускання). Лічильник Сч.2 працює в режимі віднімання (зворотного рахунку). Після того, як він відлічив N тактів, перекидається тригер Т1 (закінчується "мертвий час"). Після надходження сигналу синхрпереходу тригер Т2 перекидається і дозволяє роботу Сч.3, працюючого в режимі прямого рахунку. Потім Сч.3 відлічує 4096 - N тактів і перекидає Т3. На цьому реєстрація закінчується. Сигнал РЕГ з виходу Т3 використовується для вироблення переривання. Після закінчення реєстрації за чотирма адресами комп'ютер прочитує записану в ОЗП 32-розрядну інформацію. При цьому сигнал читання з четвертої адреси Чт.4 (STR R3) перекидає на одиницю, тобто змінює адресу ОЗП. Цей процес читання повторюється 4096 разів. В результаті повний цикл перекачування зареєстрованої інформації включає 16384 звернення до логічного аналізатора [4].

### **Контролер шини ISA для дослідження швидкопротікаючих процесів**

Контролер [4] виконує швидке аналого-цифрове перетворення електричних сигналів (7 розрядів), запис в ОЗП і передачу цифрових даних на шину ISA. При дослідженні процесів, що повторюються, реєстрація цифри з передачею даних в магістраль комп'ютера дозволяє здійснити накопичення, цифрову фільтрацію і інші методи обробки сигналів, а також їхню візуалізацію. Особливо широке застосування подібні методи реєстрації знайшли в імпульсній радіоспектроскопії, радіолокації і імпульсній акустиці, де досліджуваний сигнал, як правило, розглядається як відгук на дію зондуєчого імпульсу, що періодично повторюється. В даному розділі описаний контролер, що здійснює генерацію прямокутних зондуєчих імпульсів з програмно керованими тривалістю і інтервалом між імпульсами, швидке паралельне аналого-цифрове перетворення

					<i>КБР.ЕС.9583005.001.ПЗ</i>	
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		42

електричного сигналу відгуку, запис в ОЗП і передачу даних на шину ISA IBM PC. Використання швидкодійних лічильників серії K1554 і великих інтегральних схем пам'яті N341256P-15 (асинхронна SRAM, застосовується як кеш-пам'ять PC) забезпечує запис 32К 8-розрядних слів при частоті дискретизації 50 МГц. Пристрій виконаний у вигляді 8-розрядної плати розширення, що включається безпосередньо в слот шини ISA і використовує напруги живлення даної магістралі. При розробці контролера приймалось до уваги досягнення оптимального варіанту по цінових характеристиках, доступності компонент і універсальності. Контролер містить три функціональні блоки: блок формування зондуючих імпульсів і керування ОЗП, інтерфейсний блок сполучення з шиною ISA, аналого-цифровий перетворювач. Блок формування зондуючих імпульсів і керування ОЗП включає однонаправлений (A/12) порт, тактовий генератор M15, керований напругою, статичний ОЗП (M16), лічильники адреси ОЗП (M7-M10), а також формувач прямокутних імпульсів на програмованому таймері M13 і тригері M6. Контролер може знаходитися в режимах програмування контролера та процесу вимірювання. В режимі програмування здійснюються операції, які задають стан контролера і параметри режиму вимірювання.

Тригери M6.1 і M6.2 дозволяють поліпшити форму зондуючих імпульсів і імпульсів дозволу рахунку (PE лічильників, що поступають, на входи M7-M10), що істотно впливає на роботу контролера на частотах >20 МГц. Зондуючий імпульс знімається з виходу Z IMP рис. 1.7.

Процес вимірювання запускається по зворотному перепаду зондуючого імпульсу, що поступає з тригера M6 2 на вхід PE лічильників M7-M10. Заздалегідь проводиться заземлення лічильників і ініціалізація О.З.П. О.З.П. заповнюється з шини даних CD, яка через відкритий в стані запуску АЦП (рис.1.8) буфер M12 з'єднується з внутрішньою шиною даних TD контролера (буфер M5, знаходиться у високоімпедансному стані). Процес заповнення тактується власним генератором контролера M15, адресний простір ОЗП послідовно проходить шляхом потактового

					<i>КБР.ЕС.9583005.001.ПЗ</i>	43
Вим.	Арк.	№ докум.	Підпис	Дата		

нарошування двійкової адреси на внутрішній адресній шині SAO-SA15 синхронно з надходженням даних з АЦП. Зчитування даних тактується імпульсами IOR, що поступають з магістралі ISA, і проводиться після попереднього заземлення лічильників M7-M10. Операція здійснюється покроковим проходженням адресного простору о.з.п., при цьому шина даних CD з'єднується через двонаправлений буфер M5 з шиною даних PC.

Інтерфейсний блок сполучення з шиною ISA забезпечує обмін інформацією між контролером і комп'ютером. Схема дешифратора формує адресний простір контролера, сигнали керування буферами шини даних M5, M12 і служить для запису слова стану контролера з шини даних PC CDO-CD7 в 8-розрядний регістр M6 .

Дешифратор використовує наступні сигнали стандартної 8-розрядної шини ISA: SAO-SA9 - адресна шина PC, CDO-CD7 - шина даних PC, сигнали дозволу введення даних.

Досліджуваний сигнал подається на вхід INADC через погоджуючий каскад у виді емітерного повторювача. На рис.2.12 наведена однополярна схема включення АЦП. (досліджуваний сигнал міняється від 0 до -5 В), яка може бути легко змінена на двополярну (-2.5 В, +2.5 В).

					<i>КБР.ЕС.9583005.001.ПЗ</i>	44
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

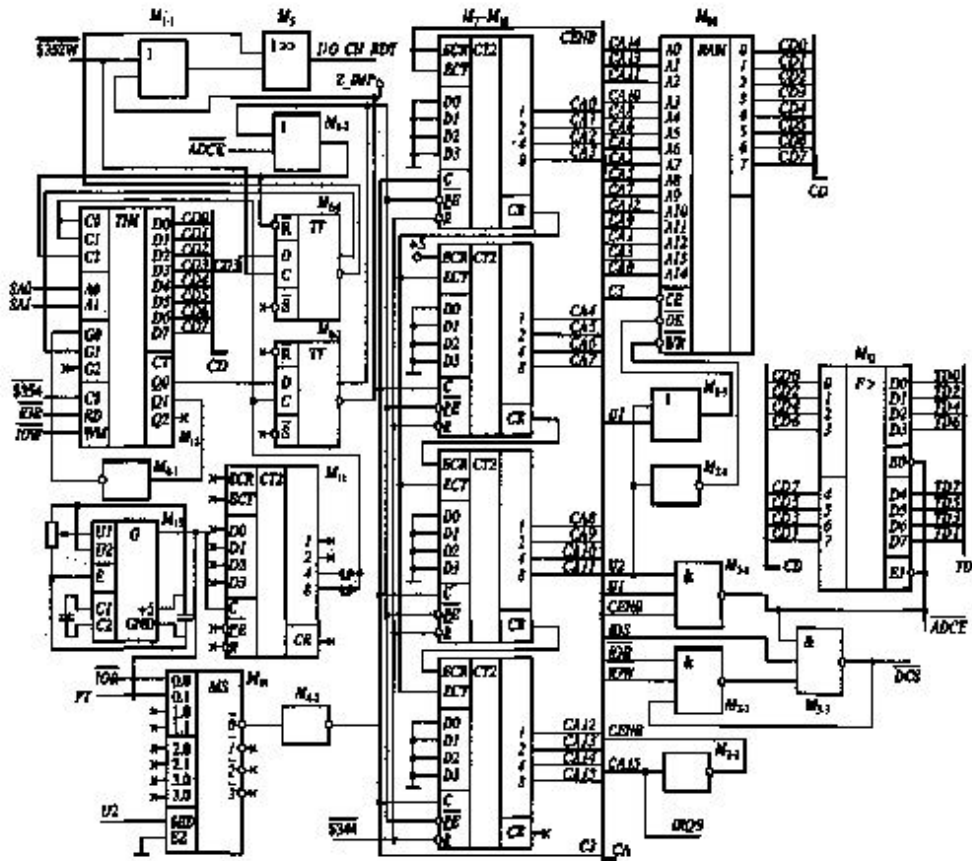


Рис. 2.11 Принципова схема керування О.З.П. і програмного формувача зондуючих імпульсів. М1 - К1554ІА1, М2 -К1554ТЛ2, М3 - К1554ІА4, М4 - К1554ІН1, М5-К155ЛЛ2,М6-К1554ТМ2,М7н»/11 - К1554ІЕ10, Мп -К1554АП5, М13 - К580ВІ53, М14 - К1554КП14, М15 - К531ГГ1, М,6 - N341256P-15 [5]

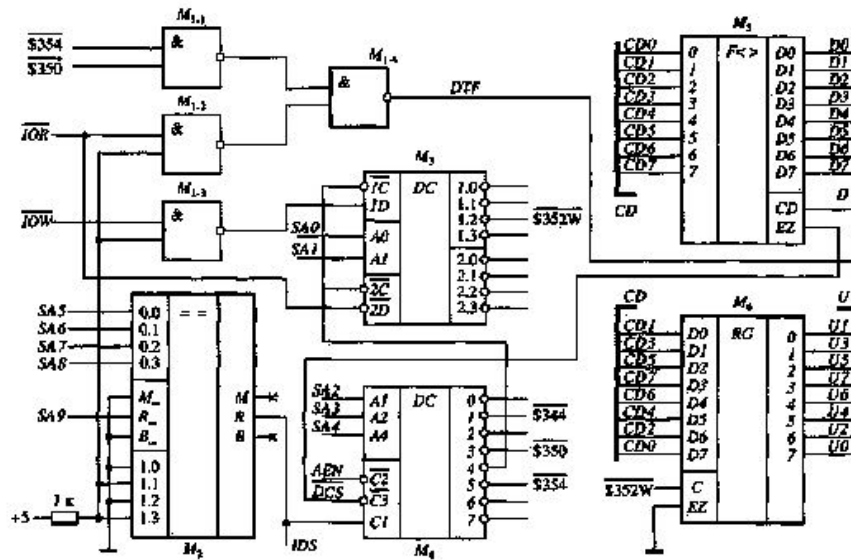


Рис.2.12 Принципова схема дешифратора. М1 - К1554ЛА3, М2 - К531СП1, ИР23. - К1533ИД4, М4 - К1533ИД7, М5 - К1554П6 [5]

Основні характеристики контролера: період дискретизації тривалості зондуючих імпульсів і інтервалу між зондуючими імпульсами 0.2 мкс; частота дискретизації а.ц. п. 50 МГц; смуга перетворення 4 МГц; час перетворення 20 нс; розрядність АЦП - 7; споживана потужність 2.5 Вт.

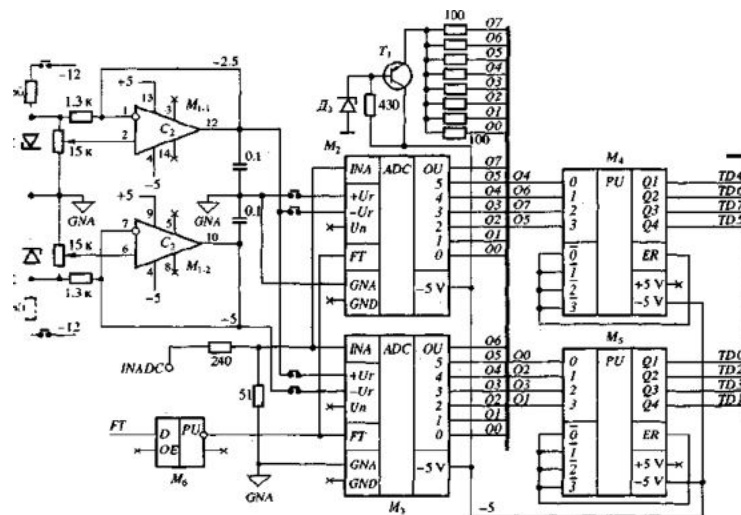


Рис. 2.13 Принципова схема аналого-цифрового перетворювача. Д1Д2- Д818Е, Д3- АЛ102Б и КД512А, з'єднані послідовно [5]

Вим.	Арк.	№ докум.	Підпис	Дата

### 3. ПРОЕКТНО – КОНСТРУКТОРСЬКИЙ РОЗДІЛ

#### 3.1 Загальний опис системи керування

Відповідно із технічним завданням система керування розробляється у виді кількох взаємозв'язаних функціональних частин. Однією із них є цифровий програмно-керуючий генератор сигналів довільної форми, що дозволяє формувати аналогові тестові сигнали із заданими параметрами: формою, періодом, амплітудою. Такий генератор може використовуватися в різних автоматизованих контрольно-вимірювальних системах, побудованих на базі персонального комп'ютера.

Генератор побудований на основі буферного оперативно-запам'ятовуючого пристрою (ОЗП) з періодичним режимом обміну із зовнішніми пристроями. Перед початком роботи комп'ютер записує в буферне ОЗП коди вибірок генеруючого сигналу, задаючи його форму, визначає період сигналу й його амплітуду, а також режим запуску генерації. Із буферного ОЗП коди поступають на ЦАП, перетворюючий їх в рівні вихідного разового або періодичного аналогового сигналу. Програмні засоби генератора при цьому можуть забезпечувати різні методи задання форми сигналу: вибір стандартного сигналу (синусоїдальної, прямокутної, пилкоподібної, і. т. д.), форми сигналу по математичній формулі, задання й корекція форми на екрані комп'ютера.

В схемі передбачено режим разового запуску (зупинка генерації після одного періоду сигналу) та режим автоматичного запуску (неперервна генерація до її програмної зупинки).

Оцінка вимоги до інтерфейсної частини генератора. При 8-розрядному обміну необхідна одна адреса для обміну з буферним ОЗП (запис й читання, яке потрібне для самотестування), дві адреси (16 розрядів) для запису коду частоти (періоду), одна адреса для запису коду амплітуди, одна адреса для запису

					<i>КБР.ЕС.9583005.001.ПЗ</i>	47
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

управляющего слова, чтения слова стану. Разом п'ять адрес. В управляющее слово входят два біти: дозвіл/заборона генерації й разовий/періодичний запуск. В слово стану входитъ всего один біт (генерація проходить), який потрібен тільки при разовому запуску. Прямий доступ тут не потрібен. Для задания частоты в цифровых генераторах (або синтезаторах, як їх ще називають) сигналів довільної форми найбільш часто використовуються два методи. Згідно першому з них, адреси буферного ОЗП перебираються лічильником, а для зміни частоты вихідного сигналу міняється частота, з якою ці адреси перебираються. В цьому випадку завжди описуються всі адреси ОЗП, та кількість вибірок на період вихідного сигналу не змінюється при зміні частоты, а значить, не змінюється й точність відтворення форми сигналу. Недоліком такого методу є те, що він добре працює тільки в області низьких частот вихідного сигналу, оскільки великі частоты вимагають в даному випадку дуже високої швидкодії ЦАП. Ще один недолік такого підходу полягає в тому, що частота сигналу перешкоди, що виникає через квантування рівнів вихідного сигналу, тут прямо пропорційна частоті вихідного сигналу. Тому фільтрація цього сигналу перешкоди досить трудомістка й вимагає спеціальних фільтрів.

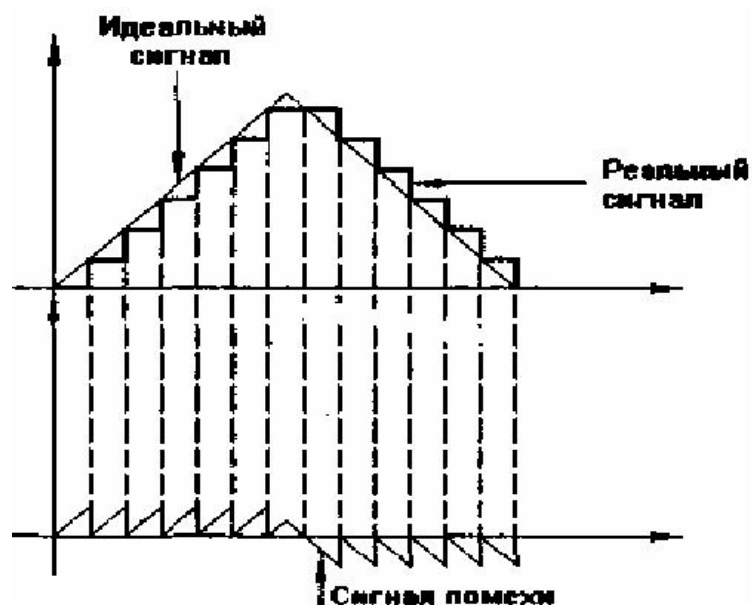


Рис. 3.1 Синтез аналогового сигналу по вибіркам [6]

Вим.	Арк.	№ докум.	Підпис	Дата

Другий метод задання частоти вихідного сигналу дещо складніший (рис. 3.1). В цьому випадку для перебору адрес буферного ОЗП використовується не лічильник, а накопичуючий суматор, що складається з двійкового суматора й регістра, охоплених зворотнім зв'язком. При цьому з кожним наступним імпульсом тактового генератора до вихідного коду регістра додається вхідний управляючий код й отримана сума знову записується в регістр. В результаті в кожному такті приріст адреси ОЗП визначатиметься вхідним керуючим кодом накопичуючого суматора. Таким чином можна змінювати швидкість проходження всіх адрес ОЗП і відповідно частоту вихідного сигналу.

Недолік цього методу — зміна кількості вибірок на період вихідного сигналу обернено пропорційно його частоті, тому форма сигналу відтворюється з різною точністю на різних частотах. Але його велика перевага в тому, що частота сигналу перешкоди буде постійна і отже, відфільтрувати цей сигнал дуже просто за допомогою найпростішого фільтру нижніх частот. Частота вихідного сигналу при такій схемі задається з постійним кроком у всьому частотному діапазоні, тому відносна похибка її установки мінімальна у верхній частині частотного діапазону.

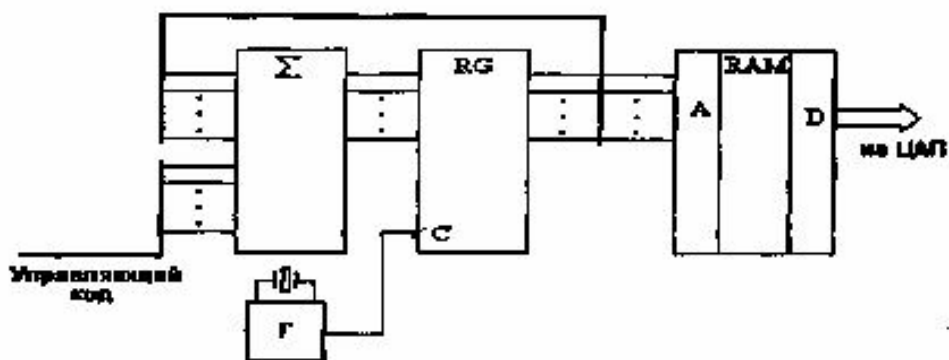


Рис. 3.2 Перебір адрес ОЗП за допомогою накопичуючого суматора [6]



Для керування різними зовнішніми пристроями в систему введено спеціальні вихідні регістри управління. В них безпосередньо із системної магістралі генеруються відповідні управляючі коди. В залежності від значення даних кодів зовнішні пристрої виконують ті або інші запрограмовані операції та функції.

Для передачі інформації від зовнішніх пристроїв до управляючого комп'ютера використовуються вхідні регістри. Крім того, зовнішні пристрої можуть сигналізувати про свій стан, а також про необхідність їх першочергового обслуговування програмою керування. Для цього в систему введено відповідні канали, на яких зовнішніми пристроями встановлюються сигнали необхідного рівня. Комп'ютер періодично проводить опитування даних каналів і приймає відповідні рішення згідно з закладеною в нього програмою проведення процесу вимірювань.

### **3.2 Синтез та аналіз принципової і функціональної схем системи керування**

Повну функціональну схему спроектованої системи керування приведено в додатку А. Вона включає крім вищезгаданого накопичуючого суматора (НС) управляючі регістри, схему запуску, буферне ОЗП об'ємом 8К x 8, вихідний регістр (ВР), що перетворює коди вибірок з ОЗП в напругу вихідного сигналу і ЦАП. В регістр частоти (РЧ) по сигналу запису коду частоти заноситься крок накопичуючого суматора.

Управляюче слово з двох біт заноситься в тригери Т1 і Т2 по сигналу комп'ютера. Вихідний сигнал Т1 визначає режим генерації, а вихідний сигнал Т2 — режим запуску (разовий або автоматичний). Перед початком роботи задається крок накопичуючого суматора, відповідний одиниці молодшого розряду адреси О, і проводиться скидання накопичуючого суматора. Потім проводиться запис кодів вибірок в ОЗП. При цьому по сигналу запису в ОЗП або читання з ОЗП проводиться нарощування адреси ОЗП. Після закінчення заповнення ОЗП задається частота і амплітуда сигналу, і схема переводиться в

					<i>КБР.ЕС.9583005.001.ПЗ</i>	51
Вим.	Арк.	№ докум.	Підпис	Дата		

режим генерації, в якому на тактовий вхід накопичуючого суматора поступає сигнал з кварцевого генератора. Вихідний регістр (ВР) служить для забезпечення одночасності зміни всіх розрядів вхідного коду ЦАПІ типу (К572ПА1) помножує вихідний сигнал.

Фільтр низької частоти (ФНЧ) з частотою зрізу, розташованою між верхньою частотою вихідного аналогового сигналу і частотою кварцевого генератора (Г), служить для згладжування вихідного сигналу. Він відсікає помилковий сигнал дискретизації та квантування. Вихід 1 використовується у тому випадку, коли потрібен добрий фронт вихідного сигналу, не згладжений ФНЧ.

В режимі разового запуску після одного періоду вихідного сигналу схеми старший розряд коду адреси ПЗП перекидає тригер ТЗ і зупиняє генерацію.

### **3.3. Розрахунки режимів роботи елементів принципової схеми, вибір елементів**

#### **Проектування та розрахунок генератора періодичних прямокутних імпульсів**

Замість проектування схем генераторів імпульсів з традиційних логічних елементів простіше і економніше використовувати одну з мікросхем таймерів, що випускаються.

До розгляду таких схем параметри, які необхідно враховувати при проектуванні генераторів. На рис. 3.4 приведена типова форма одиночного імпульсу, які повинен генерувати генератор з частотою їх проходжень  $f$ . При цьому він повинен забезпечувати реалізацію наступних параметрів:

					<i>КБР.ЕС.9583005.001.ПЗ</i>	52
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

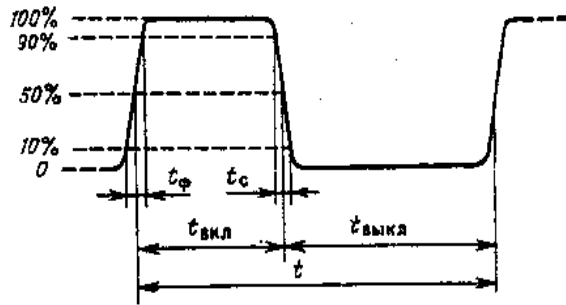


Рис. 3.4 Типові параметри імпульсного сигналу [6]

Період імпульсів  $t$  імпульсного сигналу — це час одного повного циклу імпульсу:

$$t = 1/f \quad (3.1)$$

Коефіцієнт заповнення (КЗ) %, імпульсного сигналу рівний відношенню  $t_{\text{вкл}}$  (високий рівень) до суми  $t_{\text{вкл}}$  і  $t_{\text{выкл}}$  (низький рівень), тобто

$$KЗ = \frac{t_{\text{вкл}}}{(t_{\text{вкл}} + t_{\text{выкл}})} \cdot 100\% \quad (3.2)$$

Коефіцієнт форми (КФ) імпульсного сигналу рівний відношенню  $t_{\text{вкл}}$  (високий рівень) до  $t_{\text{выкл}}$  (низький рівень). —

$$KФ = \frac{\tau_i * 100\%}{T - \tau_i} ; \quad (3.3)$$

Ширина імпульсу прямокутної форми рівна часовому інтервалу, зміряному на рівні 50 % амплітуди, протягом якого сигнал має високий рівень (включений).

Час наростання (фронту)  $t_{\text{ф}}$  імпульсу рівне часовому інтервалу між крапками 10 і 90 % його амплітуди. Час наростання «ідеального» імпульсу рівне нулю.

Час спаду (зрізу)  $t_{\text{с}}$  імпульсу рівне часовому інтервалу між крапками 90 і 10 % його амплітуди. Час спаду «ідеального» імпульсу рівне нулю.

Для нашої схеми генератор має забезпечувати імпульсний періодичний сигнал з мінімальними інтервалами спаду та наростання імпульсів, частотою їх слідування 2 МГц та з коефіцієнтом заповнення 50 %. Для отримання такого імпульсного сигналу найпростіше використовувати спеціальні мікросхеми

таймерів. Однією із них є мікросхема таймера серії 555, яка не тільки поєднує в собі комбінацію аналогових і цифрових схем, але і широко застосовується у області цифрових генераторів імпульсів. Для розробки пристроїв на основі таких мікросхем необхідно враховувати основні принципи її роботи [5].

Спрощена схема таймера 555 приведена на рис. 3.5. По суті, таймер складається з двох операційних підсилювачів, використовуваних як компаратори, і *RS-тригер*. Крім того, передбачений інвертуючий вихідний буфер, що забезпечує достатньо високу здатність навантаження. Для швидкого розряду зовнішнього конденсатора є транзисторний ключ *TR1*. Стандартний таймер 555 випускається в 8-контактному корпусі типу DIP. Діапазон робочої напруги живлення складає від 4,5 до 15 В. він перекриває звичайний діапазон TTL-схем, тому таймер може працювати разом з ними.

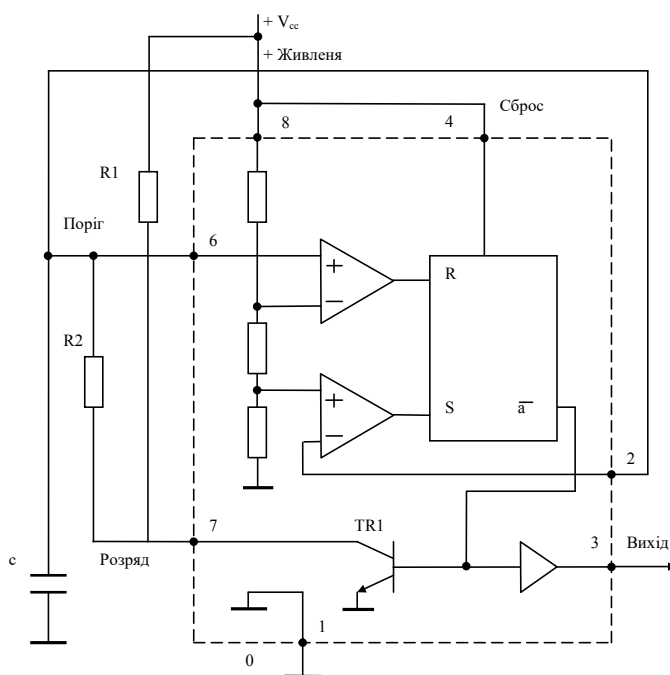


Рис. 3.5 Конфігурація таймера 555 для роботи в імпульсному режимі [6]

Розглянемо роботу таймера в імпульсному режимі. У вихідному стані на базі транзистора із  $\bar{Q}$  нехай буде низький рівень і транзистор закритий. Тоді через резистори  $R1$  і  $R2$  заряджається конденсатор  $C$  від джерела живлення.

Припустимо, що на *Виході* (контакт 3) спочатку діє напруга високого рівня і транзистор вимкнений. Тоді конденсатор 3 почне заряджати від джерела живлення через резистори  $R1$  і  $R2$ .

Коли напруга на вході *Поріг* (контакт 6) перевищить дві третини напруги живлення, стан на вході верхнього компаратора зміниться, RC-тригер скинеться (0) і на виході Q з'явиться напруга високого рівня, яка включає транзистор  $TR1$ . Із-за наявності інвертуючого буфера на *Виході* (контакт 3) формується напруга низького рівня.

Тепер конденсатор 3 розряджатиметься струмом, який протікає через резистор  $R2$  і транзистор  $TR1$ . Через деякий час напруга на вході *Запуск* (контакт 2) зменшиться до однієї третини напруги джерела живлення і нижній компаратор зрадить свій стан, повернувши тригер в початковий стан (1). На виході Q з'явиться напруга низького рівня, транзистор  $TR1$  вимкнеться, і на *Виході* (контакт 3) з'явиться напруга високого рівня. Таким чином, весь цикл роботи таймера повторюється безперервно.[5]

Виходячи з принципів роботи таймера розрахуємо основні елементи, які задають параметри генерованого ним імпульсного сигналу. Для приведеної вище схеми коефіцієнт заповнення :

$$K3 = \frac{t_{\text{вкл}}}{t_{\text{вкл}} + t_{\text{выкл}}} = \frac{(R1 + R2)}{R1 + 2R2} \times 100\%$$

Він показує, що для отримання меандра слід брати опір резистора  $R2$  набагато більшим, ніж опір резистора  $R1$ . Для визначеності візьмемо  $R2 = 20R1$ . Номінал резистора  $R1$  можна взяти в межах 500 Ом, тоді номінал резистора  $R2$  буде рівним 10 кОм.

При частоті слідування імпульсів 2 МГц період складає  $T = 0,5$  мкс. Тоді із співвідношення

$$T = t_{\text{вкл}} + t_{\text{выкл}} = 0,693(R1 + 2R2)C \quad (3.4)$$

легко отримати ємність задаючого конденсатора  $C$ :

$$C = T/0,693(R2 + 2R2) = 35 \text{ пФ}. \quad (3.5)$$

Відповідно тривалості імпульсів і провалів між ними будуть рівні

$$t_{\text{вкл}} = 0,693(R1 + R2)C = 0,255 \text{ мкс} \quad (3.6)$$

$$t_{\text{выкл}} = 0,693 R2 \times C = 0,245 \text{ мкс} \quad (3.7)$$

Коефіцієнт форми окремих імпульсів імпульсного сигналу буде мати значення:

$$K\Phi = \frac{t_{\text{вкл}}}{t_{\text{выкл}}} = \frac{R1 + R2}{R2} = 1,05 \quad (3.8)$$

що дуже близько до значення для ідеальних імпульсів з  $K\Phi = 1$ .

### Розрахунок активного фільтру низьких частот

При роботі проекрованої схеми керування в якості джерела тестових сигналів вони мають пропускатися через ФНЧ. Він призначений для пропускання вихідних сигналів із спектральним складом до 100 кГц і затримки більш високочастотних гармонічних складових, які наявні в сигналі за рахунок роботи генератора імпульсів (частота 2 МГц) та ЦАП. Відповідно частоту (точку) зрізу нашого ФНЧ можна задати в області  $f_0 = 500 \text{ кГц}$ .

Для забезпечення надійної фільтрації та хорошої частотної характеристики в якості ФНЧ виберемо активний фільтр першого порядку на операційному підсилювачі (ОП). Необхідна АЧХ таких фільтрів формується за рахунок ланцюгів від'ємного зворотнього зв'язку. Активний фільтр 1-го порядку отримаємо при замиканні на землю неінвертованого входу ОП і ввімкненні в коло інвертованому входу опорів від'ємного зворотнього зв'язку (рис. 2.6). Для розрахунку фільтру представимо його у вигляді чотиріполюсника, ввімкненого між ЦАП (точки In) і виходом системи керування на зовнішні пристрої (точки Out).

Комплексна передаточна функція такого активного фільтру 1-го порядку визначається як  $K(j\omega) = -Z_2(j\omega)/Z_1(j\omega)$ . [5]

Однією із можливих конкретних схем такого ФНЧ може бути приведена на рис. 3.5. Опір  $R3$  в ній моделює навантаження фільтру. Для вибраної схеми отримаємо слідуючий вираз комплексної передаточної функції:

					<i>КБР.ЕС.9583005.001.ПЗ</i>	
Вим.	Арк.	№ докум.	Підпис	Дата		
						56

$$|K(j\omega)| = -\frac{Z_2}{Z_1} = -\frac{X_c R_2 / (X_c + R_2)}{R_1} = -\frac{R_2 / R_1}{1 + j\omega R_2 C_2}$$

Із отриманого виразу можна знайти АЧХ у виді модуля передаточної функції

$$|K(j\omega)| = \frac{R_2 / R_1}{\sqrt{1 + \omega^2 T^2}},$$

де  $T = R_2 C_2$  – постійна часу фільтра. Частота зрізу такого фільтру  $f_0 = 1/2\pi T$ .

Враховуючи вибрану нами частоту зрізу, розрахуємо постійну часу фільтруючого ланцюжка  $T = 1/2\pi f_0 = 0,3$  мкс. Резистори  $R_1$  та  $R_2$  мають бути достатньо високоомні, щоб не шунтувати вхід та вихід ФНЧ. Візьмемо в якості їх номіналів рекомендовані величини  $R_1 = R_2 = 1$  кОм. Тоді ємність конденсатора  $C_2$  буде рівна:  $C_2 = T/R_2 = 0,3$  мкс/1 кОм = 300 пФ [5].

Використовуючи дані розрахунків, в оболонці Electronics Workbench було змодельовано роботу даного активного ФНЧ.

На рис. 3.6. приведено його передаточну функцію, яка показує хорошу прозорість фільтру в області робочих частот і хороші загороджуючі його властивості в високочастотній області.

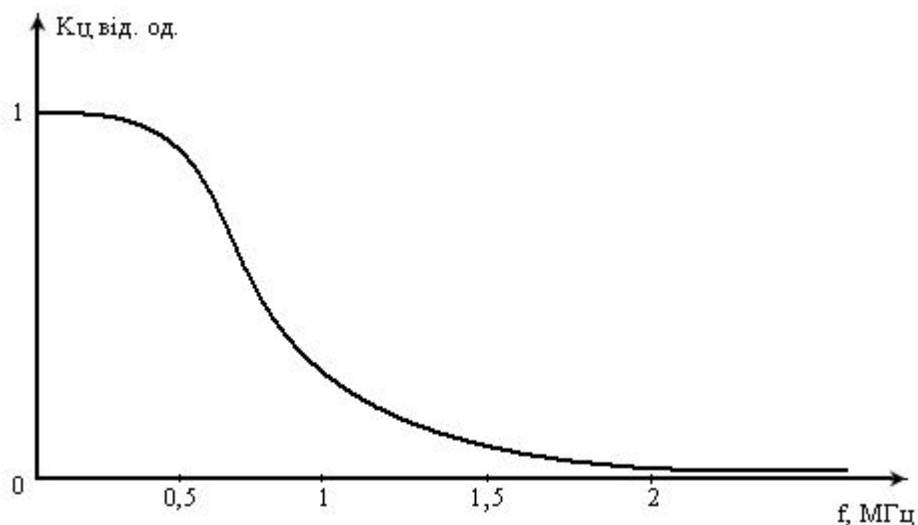


Рис. 3.6 Передавальна функція фільтру 1-го порядку нижніх частот

					<i>КБР.ЕС.9583005.001.ПЗ</i>	57
Вим.	Арк.	№ докум.	Підпис	Дата		

## ВИСНОВКИ

При виконанні бакалаврської роботи було розглянуто та проаналізовано аналоги, а саме KNX (EIB), Modbus, Z-Wave, Digital Addressable Lighting Interface, одноплатний логічний аналізатор та контролер шини PCI Express для дослідження швидкопротікаючих процесів.

Проведено синтез і аналіз структурної та принципової схем приладу. Виконані базові розрахунки по визначенню номіналів, типорозмірів та режимів роботи.

Згідно із поставленими у технічному завданні вимогами на рівні технічного проекту розроблено електронну систему керування зовнішніми пристроями через системну магістраль PCI Express

Розроблена нами система забезпечує такі експлуатаційні параметри:

- частота вихідних тестуючих та еталонних сигналів — від 2 Гц до 33 МГц;
- амплітуда вихідних тестуючих та еталонних сигналів — від 50 мВ до 10 В;
- вихідні та вхідні цифрові сигнали задаються в стандарті КМОН-логіки з паралельним кодом;
- управляючі двохрівневі сигнали від зовнішніх пристроїв задаються у стандарті системної шини PCI express.

Дана система не є енергоємною і не потребує додаткового тепловідводу.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	58
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

## СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Ю. В. Новіков, О.А. Калашников С. Е. Гуляєв. ”Розробка пристроїв сполучення”. М 1999. 220 с.
2. Пей А.Н. ”Сполучення ПК з зовнішніми пристроями” 2001. 320 с.
3. М. Тули “Довідковий посібник з цифрової електроніки ”.1990. 175 с.
4. В. С. Едельман, Г. Д. Богомоллов, Г.А. Лексин ”Прилади та техніка експерименту “ 1999 175 с.
5. В. И. Каганов. Учебный посібник. Радіотехнічні ланцюги та сигнали. (Лабораторний комп’ютеризований практикум) 2000. 235ст.
6. Зубчук В. И. “Довідник з цифрової схемотехніки”. К: Техніка 1990. 190 с.
7. В. П. Боровський. “ Довідник з схемотехніки для радіолюбителів” 1989. 220 с.
8. Гершунський Б. С. Довідник з розрахунків електронних схем. — М.: Рад. радіо, 1983. 145 с.
9. И. Н. Балахничев, А.В. Дрик, А.А. Ровдо, “Експериментальна електроніка”. Випуск №2. М. “Солон-Р”.2000. 190 с.
10. Під. ред. Казарінова В.Ю. “Розрахунок елементів цифрових схем”. М: “Енергія”. 1976. 135 с.
11. Терещенко Т. О. Мікропроцесорні пристрої: навч. посібник для студентів зі спец-ті «Електроніка» / Т. О. Терещенко, В. А. Тодоренко, Л. М. Батрак, Ю. С. Ямненко. – К.: Кафедра, 2017. – 244 с
12. Мікропроцесорна техніка. Друге видання. Доповнене / Ю. І. Якименко, Т. О. Терещенко, Є. І. Сокол, В. Я. Жуйков, Ю. С. Петергеря. За ред. Т. О. Терещенко. – Київ, 2004. – 440 с.
13. Евстифеев А.В. Мікроконтролери AVR сімейств Tiny и Mega компанії Atmel – 2-е изд., стер. М.: «Додека –XX1», 2005. – 560 с.
14. Голубцов М.С. Мікроконтролери AVR: від простого до складного. М.: СОЛОН-Прес, 2003. – 288 с.

					<i>КБР.ЕС.9583005.001.ПЗ</i>	59
Вим.	Арк.	№ докум.	Підпис	Дата		

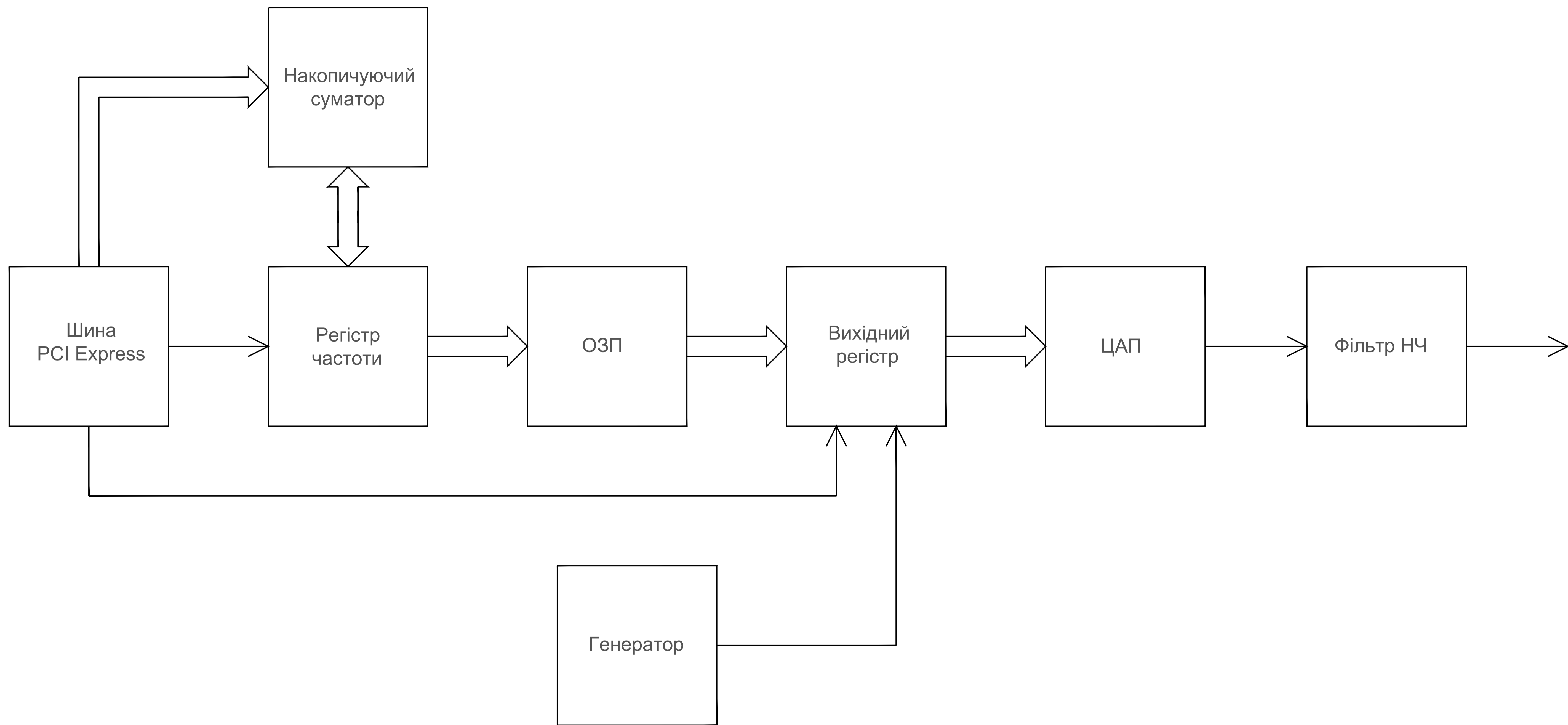
15. Сташин В.В., Урусов А.В., Мологонцева О.Ф. Проектування цифрових пристроїв на однокристальних мікроконтролерах. М.: Енергоатом, 1990.
16. Белов А.В. Конструювання пристроїв на мікроконтролерах. Наука та техніка, 2005.
17. Белов А. В. Створюємо пристрої на мікроконтролерах. Наука та техніка, 2007.
18. Кравченко А. В. 10 практичних пристроїв на AVR мікроконтролерах. Книга 1 «Додека –XX1» МК-Прес 2008
19. Кравченко А. В. 10 практичних пристроїв на AVR мікроконтролерах. Книга 1 КОРОНА-ВЕК МК-Прес 2009
20. Мортон Дж. Мікроконтролери AVR. Вступний курс «Додека –XX1» 2006

					<i>КБР.ЕС.9583005.001.ПЗ</i>	
<i>Вим.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		60

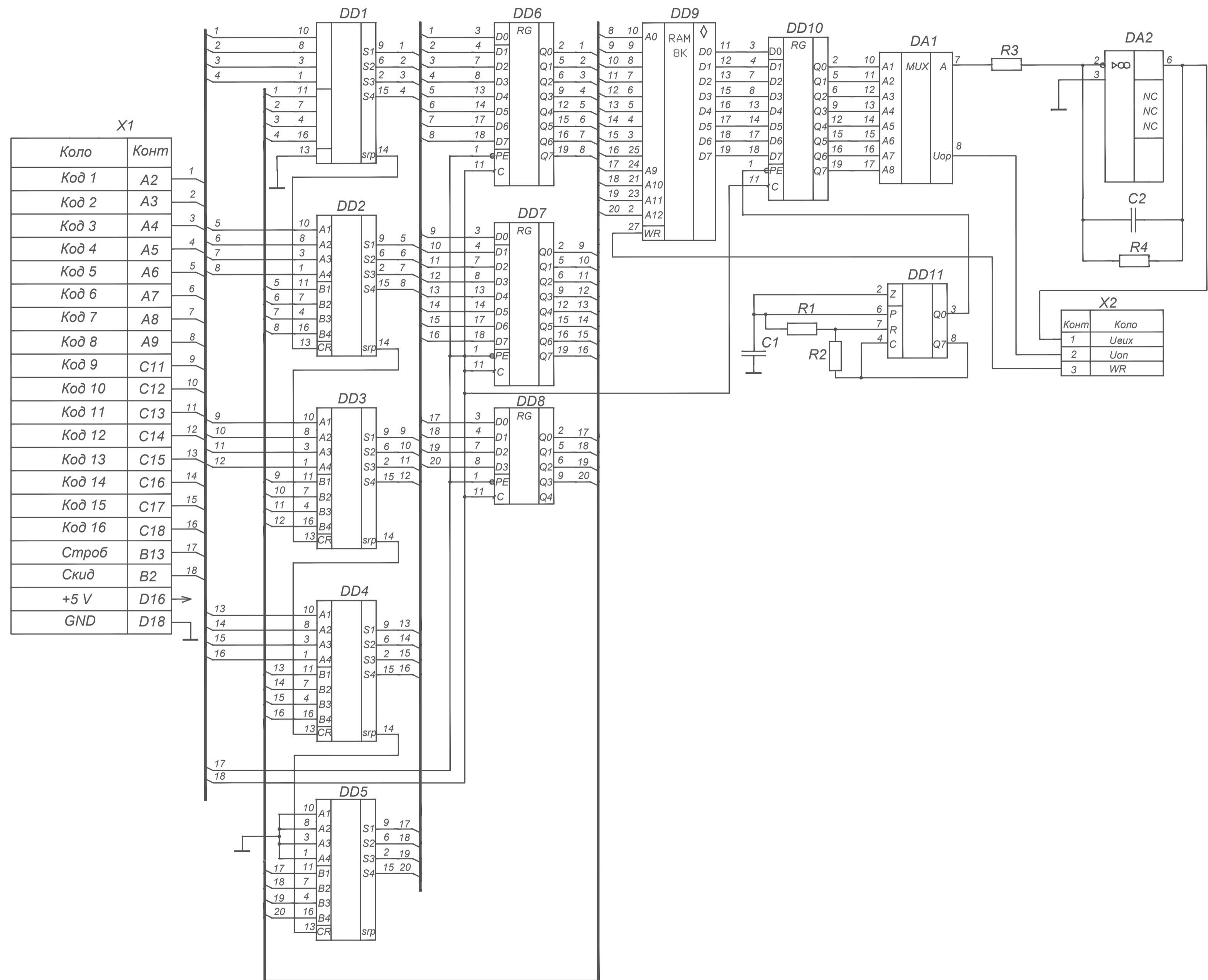


Позначення	Найменування	Кіл.	Примітки
	<b><u>Конденсатори ОЖО.460.208 ТУ</u></b>		
C1	K10-17-35 нФ ± 10%	1	
C2	K10-17-200 нФ ± 10%	1	
	<b><u>Мікросхеми</u></b>		
DA1	K1108ПА1 БКО.348.314-03 ТУ	1	
DA2	K544УД2А КО.348.356-01 ТУ	2	
DD1...			
DD5	K155ИМ3 БКО.348.006-01 ТУ	5	
DD6...			
DD8	K555ИР27 БКО.348.289-12 ТУ	3	
DD9	KP573PY17 БКО.348.004-02 ТУ	1	
DD10	K555ИР27 БКО.348.289-12 ТУ	1	
DD11	ICM7555ІРА БКО.348.289-03 ТУ	1	
	<b><u>Резистори МЛТ-0,125 ОЖО.467.180ТУ</u></b>		
R1	МЛТ-0,125 500 Ом ± 10%	1	
R2	МЛТ-0,125 10 кОм ± 10%	1	
R3, R4	МЛТ-0,125 1 кОм ± 10%	1	
	<b><u>Роз'єми</u></b>		
X1	Роз'єм ISA-шина PLB1-20, 20 pin	1	
X2	Роз'єм SLK-6, 6 pin НЦО.364.056 ТУ	1	

					<b>КБР.ЕС.9583005.001.ПЕ</b>			
Зм.	Арк.	№ докум.	Підпис	Дата	Електронна система керування зовнішніми пристроями через системну магістраль Перелік елементів	Літера	Аркуш	Аркушів
Розробив		Бурса С.С.		19.06		У	1	1
Перевірів		Заяць Т.М.		19.06		УжНУ, ІТФ, гр. ЕС		
Т.Контр.								
Н.Контр.		Спесивих О.О.		19.06				
Затвердив		Заяць Т.М.		19.06	4 курс			



КБР.ЕС.9583005.001Е1									
Зм.	Арх.	№ документа	Підпис	Дата	Електронна система дослідження процесів управління зовнішніми пристроями через системну магистраль	Літера	Маса	Масштаб	
Розробив	Бурса С. С.					у		1:1	
Перевірив	Заяць Т. М.					Аркуш 1		Аркушів 1	
Т. контр.									
Н. контр.	Слесидих О.В.				Структурна схема		УжНУ, ІТФ, гр. ЕС, 4 курс		
Затвердив	Заяць Т. М.								



Таблиця живлення ланок мікросхем

Найменування мікросхем	Номер виводів	
	⊥	+5 В
DD1-DD5	12	5
DD6-DD8, DD10	10	20
DD9	14	28
DA1	2	8
DA2	5	7
DD11	1	8

КБРЕС 9583005.001Е2						Літера	Маса	Масштаб
Зм.	Арх.	№ документа	Підпис	Дата	Електронна система дослідження процесів управління зовнішніми пристроями через системну магистраль	у		1:1
Розробив		Бурда С. С.				Аркш 1		Аркшів 1
Перевірив		Заяць Т. М.						
Т. контр.								
Н. контр.		Слесидих О.О.			Принципова схема			УжНУ, ІТФ, гр. ЕС, 4 курс
Затвердив		Заяць Т. М.						

Додаток 1

Завідувачу кафедри ЕС ІТФ ДНІВЗ УжНУ

к.ф. - м.н., Заяць Тарас Михайлович

Студента (-ки) 4 курсу  
спеціальності 171 Електроніка  
Бурса С. С.  
(прізвище, ініціали)

## ЗАЯВА

щодо самостійного виконання  
навчальної/кваліфікаційної роботи здобувачем освіти

Я, Бурса Степан Степанович  
(прізвище, ім'я, по батькові),

Студент(-ка) очна (денна), інженерно-технічний, 4  
(форма навчання, факультет, курс)

заявляю: моя письмова робота на тему: Електронна система керування зовнішніми пристроями через систему магистраль

виконана самостійно і в ній не міститься елементів плагіату.

Всі запозичення з друкованих та електронних джерел, а також із захищених раніше робіт мають відповідні посилання. Я ознайомлений(а) з діючим Положенням, згідно з яким виявлення плагіату є підставою для відмови в допуску навчальної/кваліфікаційної роботи до захисту та притягнення до академічної відповідальності.

16.06.23  
Дата

  
Підпис

Додаток 2.

**ДОВІДКА**  
про результати перевірки на унікальність  
кваліфікаційної, навчальної (курсової) роботи

Автор роботи	Бурса Степан Степанович
Назва роботи	Електронна система керування зовнішніми пристроями через систему магістраль.
Спеціальність	171 Електроніка
Курс	4-й курс
Факультет	Інженерно-технічний
Кафедра	Електронних систем
Керівник роботи	Заяць Тарас Михайлович
Роботу перевірено в програмі	Unicheck
Додано до бази даних	—
Ідентифікаційний номер роботи	КБР.ЕС.9583005.001.СП
Результати перевірки	
Показник унікальності тексту через перевірку роботи у внутрішній базі кафедри ЕС ІТФ ДНВЗ УжНУ	—
Показник унікальності тексту в мережі Інтернет	83,9 %

Відповідальна особа/  
Науковий керівник роботи

15.06.23

Дата

Тарас Заяць

(прізвище, ініціали)

ЗК

Підпис

Ім'я користувача:  
приховано налаштуваннями конфіденційності

ID перевірки:  
1015611469

Дата перевірки:  
15.06.2023 12:03:39 EEST

Тип перевірки:  
Doc vs Internet + Library

Дата звіту:  
15.06.2023 12:33:06 EEST

ID користувача:  
100006217

Назва документа: 2023-КБР-Бурса, Степан, Степанович

Кількість сторінок: 61 Кількість слів: 12019 Кількість символів: 80766 Розмір файлу: 1.01 MB ID файлу: 1015259244

## 16.1% Схожість

Найбільша схожість: 4.48% з Інтернет-джерелом (<https://textarchive.ru/c-2139870-pall.html>)

15.8% Джерела з Інтернету

226

Сторінка 63

1.82% Джерела з Бібліотеки

82

Сторінка 65

## 0% Цитат

Вилучення цитат вимкнене

Вилучення списку бібліографічних посилань вимкнене

## 0% Вилучень

Немає вилучених джерел

## Модифікації

Виявлено модифікації тексту. Детальна інформація доступна в онлайн-звіті.

Замінені символи

24