


**ДЕРЖАВНИЙ ВИЩИЙ НАВЧАЛЬНИЙ ЗАКЛАД  
“УЖГОРОДСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ”  
ІНЖЕНЕРНО-ТЕХНІЧНИЙ ФАКУЛЬТЕТ  
КАФЕДРА КОМП’ЮТЕРНИХ СИСТЕМ ТА МЕРЕЖ**

**ЗАТВЕРДЖУЮ**  
Декан інженерно-технічного  
факультету **доц. Йолана ГОЛИК**  
\_\_\_\_\_ 2025 р.



**РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

**АРХІТЕКТУРА КОМП’ЮТЕРІВ**

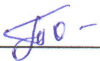
**Рівень вищої освіти – перший (бакалаврський)  
Галузь знань – 12 Інформаційні технології  
Спеціальність – 123 Комп’ютерна інженерія  
Освітня програма – Комп’ютерні системи та мережі  
Статус дисципліни – обов’язкова  
Мова навчання – українська**

Робоча програма навчальної дисципліни «Архітектура комп'ютерів» для здобувачів спеціальності 123 Комп'ютерна інженерія, освітня програма «Комп'ютерні системи та мережі» – 24 с.

Розробник: Горват П.П., завідувач кафедри комп'ютерних систем та мереж, кандидат фізико-математичних наук, доцент.

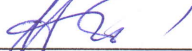
Робочу програму розглянуто та затверджено на засіданні кафедри комп'ютерних систем та мереж

протокол № 13 від «25» червня 2025 р.

Завідувач кафедри  доц. Петро ГОРВАТ (прізвище та ініціали)  
(підпис)

Схвалено науково-методичною комісією інженерно-технічного факультету

протокол № 6 від «27» червня 2025 р.

Голова науково-методичної комісії  доц. Володимир ЦИГИКА (прізвище та ініціали)  
(підпис)

## 1. ОПИС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Найменування показників	Розподіл годин за навчальним планом	
	Денна / дистанційна форма навчання	
Кількість кредитів ЄКТС – 8	Рік підготовки:	
Загальна кількість годин – 240	третій	четвертий
Кількість модулів – 4	Семестр:	
	шостий	сьомий
Тижневих годин: аудиторних – 4,3 / 2,4 год самостійної роботи студента – 4,3 / 2,6 год	Лекції:	
	30 год	26 год
	Практичні заняття:	
	12 год	-
Вид підсумкового контролю: екзамен, екзамен	Лабораторні заняття:	
	18 год	18 год
Форма підсумкового контролю: усна	Самостійна робота:	
	60 год	46 год
	Індивідуальні завдання	
		Курсовий проект (30 год)

## 2. МЕТА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Дисципліна "Архітектура комп'ютерів" є однією з основних спеціальних дисциплін, що забезпечують з одного боку достатній рівень підготовки майбутнього фахівця, а з іншого – підґрунтя для якісного сприймання інших дисциплін ("Технології проектування комп'ютерних систем та мереж" тощо). Метою дисципліни є знайомство з архітектурою сучасних комп'ютерів на прикладі поширених RISC-архітектур, технічними аспектами організації обчислювального процесу, проектуванням інформаційного тракту та підсистеми пам'яті.

В результаті вивчення дисципліни студенти повинні знати особливості RISC-архітектури комп'ютерів, мову асемблера та машинну мову поширених RISC-архітектур, етапи виконання машинних команд, організацію інформаційного тракту та підсистеми пам'яті, перспективні напрямки розвитку процесорів та пам'яті.

Уміння та навички, що прищеплюються дисципліною: аналіз і оптимальний вибір архітектури процесора та підсистеми пам'яті при заданих параметрах.

Відповідно до освітньої програми «Комп'ютерні системи та мережі», вивчення дисципліни сприяє формуванню у здобувачів вищої освіти таких компетентностей:

- інтегральна (здатність розв'язувати складні спеціалізовані задачі та практичні проблеми під час професійної діяльності у комп'ютерній галузі або навчання, що передбачає застосування теорій та методів комп'ютерної інженерії і характеризується комплексністю та невизначеністю умов);

- загальні (ЗК1. Здатність до абстрактного мислення, аналізу і синтезу, ЗК2. Здатність вчитися і оволодівати сучасними знаннями, ЗК3. Здатність застосовувати знання у практичних ситуаціях, ЗК6. Навички міжособистісної взаємодії, ЗК7. Вміння виявляти, ставити та вирішувати проблеми, ЗК8. Здатність працювати в команді);

- фахові (ФК2. Здатність використовувати сучасні методи і мови програмування для розроблення алгоритмічного та програмного забезпечення, ФК11. Здатність оформляти отримані робочі результати у вигляді презентацій, науково-технічних звітів, ФК14. Здатність проектувати системи та їхні компоненти з урахуванням усіх аспектів їх життєвого циклу та поставленої задачі, включаючи створення, налаштування, експлуатацію, технічне обслуговування та утилізацію).

### **3. ПЕРЕДУМОВИ ДЛЯ ВИВЧЕННЯ НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

Перелік дисциплін, розділів, тем, засвоєння яких необхідне для вивчення даної дисципліни

- програмування,
- системне програмування,
- організація та функціонування комп'ютерів,
- теорія інформації та кодування,
- комп'ютерна електроніка та схемотехніка.

### **4. ОЧІКУВАНІ РЕЗУЛЬТАТИ НАВЧАННЯ**

Відповідно до освітньої програми «Комп'ютерні системи та мережі», вивчення навчальної дисципліни повинно забезпечити досягнення здобувачами вищої освіти таких програмних результатів навчання (ПРН):

ПРН1. Знати і розуміти наукові положення, що лежать в основі функціонування комп'ютерних засобів, систем та мереж.

ПРН2. Мати навички проведення експериментів, збирання даних та моделювання в комп'ютерних системах.

ПРН3. Знати новітні технології в галузі комп'ютерної інженерії.

ПРН4. Знати та розуміти вплив технічних рішень в суспільному, економічному, соціальному і екологічному контексті.

ПРН6. Вміти застосовувати знання для ідентифікації, формулювання і розв'язування технічних задач спеціальності, використовуючи методи, що є найбільш придатними для досягнення поставлених цілей.



## Розподіл балів, які отримують студенти за 3-4 модуль

Лабораторні заняття			Практичні роботи			МКР	Сума
ЛР1	ЛР2	ЛР3	ПР1	ПР2			
- / 15	- / 15	- / 15	25 / -	20 / -		45	90

## Оцінювання окремих видів навчальної роботи з дисципліни

Вид діяльності здобувача вищої освіти	Модуль 1-2		Модуль 3-4	
	К-сть	Макс. балів	К-сть	Макс. балів
Практичні заняття / розрахункові роботи	3	24	2 / 0	45
Самостійна робота	1	10	1	10
Лабораторні роботи	3	24	0 / 3	45
Модульна контрольна робота	1	42	1	45
Разом		100		100

## Критерії оцінювання модульної контрольної роботи

Модульна контрольна робота проводиться у вигляді письмової роботи, яка містить чотири-п'ять завдань. Перші два-три завдання включають теоретичний матеріал, наступні одне-два завдання – це задачі. Всі завдання при оцінюванні мають однакову вагу.

## Критерії оцінювання підсумкового семестрового контролю

До складання екзамену допускаються лише студенти, які мають рейтинговий бал не менше 35. Екзамен з навчальної дисципліни студент може не скласти, якщо він склав усі модулі та його влаштовує рейтингова оцінка. Студенти, які мають рейтинговий бал від 35 до 59 екзамен складають обов'язково. Студент може підвищити на екзамені оцінку, при цьому рейтингова оцінка не може бути зменшена.

За результатами виконання студентом навчальної програми впродовж семестру рекомендується виставляти заліки та екзамени без додаткового опитування за такою шкалою:

Сумарні бали	Оцінка ECTS	Екзамен (диф.залік)	Залік
90 – 100	A	Відмінно	Зараховано
82 – 89	B	Добре	
74 – 81	C		
64 – 73	D	Задовільно	
60 – 63	E		
35 – 59	FX	Незадовільно з можливістю повторного складання	Незараховано з можливістю повторного складання
1 – 34	F	Незадовільно з обов'язковим повторним вивченням дисципліни	Незараховано з обов'язковим повторним вивченням дисципліни

## 6. ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

### 6.1. Зміст навчальної дисципліни

#### 1 модуль

#### I. ОСНОВИ АРХІТЕКТУРИ RISC-V

##### I.1. Архітектура RISC-V

Поняття архітектури та мікроархітектури комп'ютера. Приклади архітектур. Архітектура RISC-V. Принципи Патерсона і Хеннесі (Hennessy and Patterson).

Асемблер RISC-V. Інструкції та операнди. Операнди: регістри, пам'ять, константи. Трансляція високорівневого коду в асемблерний.

Набір регістрів RISC-V. Призначення окремих груп регістрів.

Послівна та побайтова адресація пам'яті. Прямий та обернений порядок байтів. Ефективна адреса. Вирівнювання адрес. Завантаження / збереження даних.

Константи / безпосередні операнди.

##### I.2. Асемблер RISC-V. Інструкції (команди)

Арифметичні інструкції. Додавання та віднімання. Інструкції множення та ділення. Знакові та беззнакові інструкції.

Логічні інструкції. Застосування логічних інструкцій. Зсуви. Типи інструкцій зсуву.

Умовні переходи. Безумовні переходи.

Завантаження / збереження слів, байтів та напівслів.

Високорівневі конструкції (розгалуження та цикли).

Масиви, символічні масиви.

Виклики функцій, передача аргументів. Організація стеку.

Псевдокоманди

Виняткові ситуації та їх обробка. Регістри, які використовуються при обробці особливих ситуацій. Обробники виняткових ситуацій.

Знакові та беззнакові команди.

Команди для обробки чисел з рухомою комою.

Ущільнені інструкції. Базовий набір інструкцій та розширення.

##### I.2. Машинна мова RISC-V

Машинна мова RISC-V. Формат команди. Типи команд.

Інструкції типу R (Register). Поля машинної команди та їх призначення. Приклади інструкцій.

Інструкції типу I (Immediate). Поля машинної команди та їх призначення. Приклади інструкцій.

Інструкції типу S/B. Поля машинної команди та їх призначення. Приклади інструкцій.

Інструкції типу U/J. Поля машинної команди та їх призначення. Приклади інструкцій.

Кодування констант. Режими адресації

Концепція програми, яка зберігається в пам'яті. Завантаження та виконання програми. Архітектурний стан.

Мапа пам'яті RISC-V. Основні сегменти: сегмент коду, сегмент глобальних даних, сегмент динамічних даних, зарезервований сегмент.

#### **I.4. Огляд та порівняння архітектур**

Класифікація архітектур системи команд: 4 основні типи архітектур.

Адресація пам'яті: основні режими адресації.

Тип і розмір операндів. Класифікація операцій в системі команд.

Інструкції для передачі керування: режими адресації, умови порівняння.

Кодування системи команд: три базові підходи до довжини кодів.

Роль та структура сучасних компіляторів, вплив технологій компіляції.

Порівняння RISC-архітектури за режимами адресації, за форматами кодування інструкцій, за підсистемою команд передачі даних, за підсистемою команд порівняння, за підсистемою арифметико-логічних команд

Унікальні інструкції архітектур MIPS64, SPARC, ARM, Power3.

Мультимедійні розширення систем команд. Розширення систем команд для виконання ЦОС

Інші архітектури: Intel 80x86, VAX, IBM 360/370 для мейнфреймів

## **2 модуль**

### **II. МІКРОАРХІТЕКТУРИ RISC-V**

#### **II.1. Поняття мікроархітектури**

Архітектурний стан та система команд. Складові мікроархітектури. Три варіанти мікроархітектури. Порівняння ефективності, швидкодії та продуктивності.

Елементи, які зберігають стан процесора: лічильник команд, пам'ять інструкцій, пам'ять даних, регістровий файл.

#### **II.2. Проектування інформаційного тракту та пристрою керування для одноктного процесора**

Основні елементи одноктного тракту даних.

Основні етапи проектування тракту даних для команди lw. Додавання підтримки команди sw. Додавання підтримки команд R-типу. Додавання підтримки команди beq.

Призначення та структура пристрою керування. Дешифратор АЛП. Основний дешифратор.

Будова та робота найпростішого АЛП. АЛП з ознаками перенесення, знаку, нуля, переповнення. АЛП з підтримкою команди SLT

Додавання до одноктного процесора підтримки команд I-типу

Додавання до одноктного процесора підтримки команди jal

Продуктивність одноктного процесора

### **II.3. Проектування інформаційного тракту та пристрою керування для багатотактного процесора**

Основні елементи багатотактного тракту даних.

Основні етапи проектування тракту даних для команди lw. Додавання підтримки команди sw. Додавання підтримки команд R-типу. Додавання підтримки команди beq

Багатотактний пристрій керування.

Діаграма станів для команди lw. Діаграма станів для команди sw. Діаграма станів для команд R-типу. Діаграма станів для команди beq

Додавання підтримки команд I-типу

Додавання підтримки команди jal

Продуктивність багатотактного процесора

### **II.4. Паралелізм**

Паралелізм. Поняття токена, латентності, пропускної здатності. Просторовий та часовий паралелізм.

Конвеєризація. Двоюрисний конвеєр. Триярусний конвеєр.

### **II.5. Проектування інформаційного тракту та пристрою керування для конвеєрного процесора**

Конвеєрний процесор. Стадії конвеєра: вибірка, декодування, виконання, доступ до пам'яті, запис результатів. Часові діаграми багатотактного та конвеєрного тракту даних. Абстрактне представлення роботи конвеєра, поняття про конфлікти.

Конвеєрний тракт даних. Проходження на конвеєрі команд завантаження, збереження, R-типу, умовного переходу.

Конфлікти конвеєрного тракту. Конфлікти даних та способи їх усунення. Пересилання результату через bypassing. Призупинення конвеєра

Конфлікти керування. Способи усунення конфліктів. Раннє обчислення умови переходу.

Додавання до системи команд конвеєрного процесора команд з безпосереднім операндом, безумовного переходу.

Модифікований тракт даних для усунення всіх конфліктів.

Продуктивність конвеєрного процесора.

### **II.6. Обробка особливих ситуацій**

Виняткові (особливі) ситуації: невідома (невизначена) команда та арифметичне переповнення. Розширення тракту даних для обробки виняткових (особливих) ситуацій.

### **II.7. Покращені мікроархітектури**

Довгий конвеєр. Передбачення умовних переходів. Суперскалярний процесор. Процесор із позачерговим виконанням команд. Перейменування регістрів. SIMD. Багатопоточність. Симетричні мультипроцесори. Гетерогенні мультипроцесори.

### **II.8. Еволюція архітектури RISC-V**

**3 модуль****III. ІЄРАРХІЧНА ПАМ'ЯТЬ КОМП'ЮТЕРА****III.1. Основні поняття**

Історичний розвиток систем зберігання даних. Типова ієрархія пам'яті. Компоненти ієрархії пам'яті. Характеристики підсистеми пам'яті.

Аналіз продуктивності підсистем пам'яті.

**III.2. Кеш-пам'ять**

Просторова та часова локальність звернень до пам'яті. Характеристики та структура підсистеми кеш-пам'яті: блок (рядок), множина (набір), ступінь асоціативності, ємність. Ефективність кеш-пам'яті.

Кеш прямого відображення (односекційний множинно-асоціативний кеш). Схема відображення основної пам'яті у кеш. Структура адреси при відображенні у кеш. Тег. Конфлікти.

Багатосекційний множинно-асоціативний кеш. Схема відображення основної пам'яті у кеш. Структура адреси при відображенні у кеш. Тег. Конфлікти.

Повністю асоціативний кеш. Схема відображення основної пам'яті на кеш. Структура адреси при відображенні у кеш. Тег. Конфлікти.

Порівняння функцій відображення.

Алгоритми заміщення даних у кеші. Покращення кеш-пам'яті. Багаторівневі кеші. Зменшення частоти промахів. Стратегії запису.

Еволюція підсистеми кеш-пам'яті процесорів RISC-V.

Кеш-пам'ять у процесорах x86-64.

**III.3. Віртуальна пам'ять**

Поняття віртуальної пам'яті. Порівняння віртуальної та кеш-пам'яті.

Трансляція адрес. Сторінкова організація. Таблиці сторінок.

Буфер асоціативної трансляції. Захист пам'яті.

Багаторівнева сторінкова організація. Стратегії заміщення сторінок.

Віртуальна пам'ять у системах x86-64.

**4 модуль****IV. HDL-ПРЕДСТАВЛЕННЯ ОДНОТАКТНОГО ПРОЦЕСОРА**

Однотактний процесор.

Основні елементи процесора.

Тестове оточення і тестування.

**V. СИСТЕМИ ЗБЕРІГАННЯ ДАНИХ**

Основна та масова (дискова) пам'ять.

Дискові масиви, рівні RAID.

Визначення та приклади несправностей та відмов.

Продуктивність введення-виведення та показники надійності.

Кеш-пам'ять – чотири питання ієрархічної організації пам'яті.

Чотири питання ієрархічної організації пам'яті в контексті віртуальної пам'яті.

## **VI. АСЕМБЛЕР, МАШИННА МОВА, МІКРОАРХІТЕКТУРА ARM**

Еволюція архітектури ARM. Регістри, константи та пам'ять.

Команди завантаження та збереження. Логічні команди та команди зсуву. Арифметичні команди та команди порівняння. Ознаки умов. Регістр поточного стану програми. Умовні та безумовні переходи. Режими адресації.

Формат команди обробки даних. Формат команд доступу до пам'яті. Формат команд переходу.

Мапа пам'яті. Виняткові ситуації, режими виконання та рівні привілей 16-бітові команди. Доповнення системи команд: DSP, FPU, SIMD.

Архітектурний стан та набір команд для проектування процесора. Тракт даних одноктактного процесора. Одноктактний пристрій керування.

Багатотактний тракт даних. Багатотактний пристрій керування. Діаграма станів багатотактного керуючого автомата.

Конвеєрний тракт даних. Конвеєрний пристрій керування. Конфлікти у конвеєрному процесорі та їх вирішення.

Порівняння мікроархітектур.

## 6.2. Структура навчальної дисципліни

№ з/п	ТЕМИ	Всього годин	З них				
			Лекції	Практичні	Лабораторні	Самост.роб	Інд.робота
1	2	3	4	5	6	7	8
	Змістовий модуль № 1						
1.	I. ОСНОВИ АРХІТЕКТУРИ RISC-V I.1. Архітектура RISC-V	6	2			4	
2.	I.2. Асемблер RISC-V. Інструкції (команди)	20	4	2	6	8	
3.	I.3. Машинна мова RISC-V	20	4	4	6	6	
4.	I.4. Огляд та порівняння архітектур	8	2			6	
	Модульна контрольна робота № 1	6	2			4	
	Разом за модуль № 1	60	14	6	12	28	
	Змістовий модуль № 2						
1.	II. МІКРОАРХІТЕКТУРИ RISC-V II.1. Поняття мікроархітектури	3	1			2	
2.	II.2. Проектування інформаційного тракту та пристрою керування для однотактного процесора	11	3	2		6	
3.	II.3. Проектування інформаційного тракту та пристрою керування для багатотактного процесора	11	3	2		6	
4.	II.4. Паралелізм	3	1			2	
5.	II.5. Проектування інформаційного тракту та пристрою керування для конвексного процесора	15	3	2	4	6	
6.	II.6. Обробка особливих ситуацій	7	1		2	4	
7.	II.7. Покращені мікроархітектури	3	1			2	
8.	II.8. Еволюція архітектури RISC-V	3	1			2	
	Модульна контрольна робота № 2	4	2			2	
	Разом за модуль № 2	60	16	6	6	32	
	Разом за 6-ий семестр	120	30	12	18	60	
	Змістовий модуль № 3						
1.	III. ІЄРАРХІЧНА ПАМ'ЯТЬ КОМП'ЮТЕРА III.1. Основні поняття	4	2			2	
2.	III.2. Кеш пам'ять Загальні питання. Кеш прямого відображення	4	2			2	
3.	Багатосекційний множинно-асоціативний кеш	4	2			2	

4.	Повністю асоціативний кеш	4	2			2	
5.	III.3. Віртуальна пам'ять Поняття віртуальної пам'яті	4	2			2	
6.	Віртуальна пам'ять у системах x86-64	4	2			2	
7	IV. HDL-представлення одноктактного процесора	8			8	8	
	Модульна контрольна робота № 3	6	2			4	
	Разом за модуль № 3	46	14		8	24	
	Змістовий модуль № 4						
1.	IV. HDL-представлення одноктактного процесора	20			10	10	
2.	V. СИСТЕМИ ЗБЕРІГАННЯ ДАНИХ	6	2			4	
3.	VI. АСЕМБЛЕР ARM	4	2			2	
4.	МАШИННА МОВА ARM	4	2			2	
5.	МІКРОАРХІТЕКТУРА ARM	6	4			2	
	Модульна контрольна робота № 4	4	2			2	
	Разом за модуль № 4	44	12		10	22	
	<b>Курсове проектування</b>						30
	Разом за 7-ий семестр	90	26		18	46	30

### 6.3. Теми практичних занять

#### Змістовий модуль № 1.

1.	Інструкції (команди) асемблера RISC-V	2
2.	Машинна мова RISC-V	2
3.	Додаткові розділи Асемблера	2
	Всього	6

#### Змістовий модуль № 2.

1.	Проектування одноктактного процесора	2
2.	Проектування багатотактного процесора	2
3.	Проектування конвеєрного процесора	2
	Всього	6

### 6.4. Теми лабораторних занять

#### Змістовий модуль № 1.

1.	Симулятор Асемблера	4
2.	Вступ до асемблера RISC-V	4
3.	Функції	4
	Всього	12

#### Змістовий модуль № 2.

1.	Симулятор конвеєрного процесора	2
2.	Виконання програм у симуляторі конвеєрного процесора	2
3.	Розробка програм для симулятора	2
	Всього	6

**Змістовий модуль № 3.**

1.	HDL-представлення одноктактного процесора	6
2.	Одноктактний процесор. Основні елементи	2
	Всього	8

**Змістовий модуль № 4.**

1.	HDL-представлення одноктактного процесора	4
2.	Одноктактний процесор. Основні елементи	4
3.	Тестування	2
	Всього	10

**6.5 Самостійна робота**

№	Назва теми	К-сть годин
	Змістовий модуль № 1	
1.	I. ОСНОВИ АРХІТЕКТУРИ RISC-V I.1. Архітектура RISC-V	4
5.	I.2. Асемблер RISC-V. Інструкції (команди)	8
6.	I.3. Машинна мова RISC-V	6
7.	I.4. Огляд та порівняння архітектур	6
	Модульна контрольна робота № 1	4
	Разом за модуль № 1	28
	Змістовий модуль № 2	
1.	II. МІКРОАРХІТЕКТУРИ RISC-V II.1. Поняття мікроархітектури	2
9.	II.2. Проектування інформаційного тракту та пристрою керування для одноктактного процесора	6
10.	II.3. Проектування інформаційного тракту та пристрою керування для багатотактного процесора	6
11.	II.4. Паралелізм	2
12.	II.5. Проектування інформаційного тракту та пристрою керування для конвеєрного процесора	6
13.	II.6. Обробка особливих ситуацій	4
14.	II.7. Покращені мікроархітектури	2
15.	II.8. Еволюція архітектури RISC-V	2
	Модульна контрольна робота № 2	2
	Разом за модуль № 2	32
	Разом за 6-ий семестр	60
	Змістовий модуль № 3	
1.	III. ІЄРАРХІЧНА ПАМ'ЯТЬ КОМП'ЮТЕРА III.1. Основні поняття	2
7.	III.2. Кеш пам'ять Загальні питання. Кеш прямого відображення	2

8.	Багатосекційний множинно-асоціативний кеш	2
9.	Повністю асоціативний кеш	2
10.	III.3. Віртуальна пам'ять Поняття віртуальної пам'яті.	2
11.	Віртуальна пам'ять у системах x86-64.	2
12.	IV. HDL-представлення одноктактного процесора	8
	Модульна контрольна робота № 3	4
	Разом за модуль № 3	24
	Змістовий модуль № 4	
1.	IV. HDL-представлення одноктактного процесора	10
6.	V. СИСТЕМИ ЗБЕРІГАННЯ ДАНИХ	4
7.	VI. АСЕМБЛЕР ARM	2
8.	МАШИННА МОВА ARM	2
9.	МІКРОАРХІТЕКТУРА ARM	2
	Модульна контрольна робота № 4	2
	Разом за модуль № 4	22
	Разом за 7-ий семестр	46

### **7. ІНСТРУМЕНТИ, ОБЛАДНАННЯ ТА ПРОГРАМНЕ ЗАБЕЗПЕЧЕННЯ, ВИКОРИСТАННЯ ЯКИХ ПЕРЕДБАЧАЄ НАВЧАЛЬНА ДИСЦИПЛІНА**

Використовуються традиційні методи навчання: лекції, лабораторні заняття, самостійна та індивідуальна робота студентів, консультації.

Практичні та лабораторні роботи виконуються на персональних комп'ютерах із встановленою операційною системою Windows, Linux або іншою.

Програмне забезпечення:

- Venus: <https://www.kvakil.me/venus/>

- WinRISC-V64 Simulator: <https://webriscv.dii.unisi.it/index.php>  
або аналоги.

### **8. РЕКОМЕНДОВАНІ ЛІТЕРАТУРНІ ДЖЕРЕЛА**

Основна література

1. Hennessy J., and Patterson D. Computer Organization and Design The Hardware / Software Interface: RISC-V Edition. – Morgan Kaufman, 2020 – 1137 p.

2. Hennessy J., and Patterson D. Computer Architecture: A Quantitative Approach (Sixth Edition). – 2019 Elsevier Inc – <https://www.elsevier.com/books-and-journals/book-companion/9780128119051>

3. Sarah Harris, David Harris. Digital Design and Computer Architecture, RISC-V Edition – Morgan Kaufmann, 2021. – 592 p.

4. Sarah L. Harris, David Money Harris Digital Design and Computer Architecture. ARM ® Edition – Elsevier Inc, 2016. – 711 p. <https://dl.acm.org/doi/pdf/10.5555/2815529>

5. Programmed Introduction to RISC-V Assembly Language [Електронний ресурс]: Режим доступу до ресурсу:  
<https://chortle.ccsu.edu/AssemblyTutorial/index.html>

#### Допоміжна література

1. Hennessy J., and Patterson D., Computer Architecture: A Quantitative Approach, 5th ed., Morgan Kaufmann, 2011.
2. Мельник А.О. Архітектура комп'ютера. – Луцьк: Волинська обласна друкарня, 2008. – 470 с.
3. Andrew S. Tanenbaum, Todd Austin. Structured Computer Organization. – Pearson, 2013 – 775 p.

## Перелік питань для підготовки до модульного контролю та самостійної роботи

### Змістовний модуль № 1

#### Теоретичні питання

- 1) поняття архітектури комп'ютера
- 2) принципи розробки RISC-архітектури
- 3) загальний вигляд інструкцій, мнемоніка
- 4) операнди (реєстри, пам'ять, константи)
- 5) набір реєстрів та їх призначення
- 6) константи та безпосередні операнди
- 7) пам'ять, послівна та побайтова адресація
- 8) порядок слідування байтів
- 9) порядок виконання програми, лічильник команд
- 10) високорівневі конструкції (розгалуження та цикли)
- 11) масиви, символні масиви
- 12) виклики функцій, передача аргументів
- 13) організація стеку
- 14) псевдокоманди
- 15) знакові та беззнакові команди
- 16) команди для обробки чисел з рухомою комою
- 17) базовий набір інструкцій та розширення
- 18) кодування та декодування інструкцій типу R
- 19) кодування констант
- 20) режими адресації
- 21) концепція stored program
- 22) карта пам'яті
- 23) кодування та декодування інструкцій типу I
- 24) кодування та декодування інструкцій типу S/B
- 25) кодування та декодування інструкцій типу U/J
- 26) директиви асемблера
- 27) компіляція, трансляція, компонування
- 28) завантаження і запуск програм
- 29) виняткові ситуації та їх обробка
- 30) ущільнені інструкції
- 31) Класифікація архітектур системи команд: описати 4 основні типи архітектур.
- 32) Адресація пам'яті: описати та порівняти основні режими адресації.
- 33) Тип і розмір операндів. Класифікація операцій в системі команд.
- 34) Інструкції для передачі керування: порівняти режими адресації, умови порівняння.
- 35) Кодування системи команд: порівняти три базові підходи до довжини кодів.
- 36) Роль та структура сучасних компіляторів, вплив технологій компіляції.
- 37) Порівняти RISC-архітектури в цілому
- 38) Порівняти RISC-архітектури за режимами адресації
- 39) Порівняти RISC-архітектури за форматами кодування інструкцій
- 40) Порівняти RISC-архітектури за підсистемою команд передачі даних
- 41) Порівняти RISC-архітектури за підсистемою команд порівняння
- 42) Порівняти RISC-архітектури за підсистемою арифметико-логічних команд
- 43) Унікальні інструкції архітектури MIPS64
- 44) Унікальні інструкції архітектури SPARC
- 45) Унікальні інструкції архітектури ARM
- 46) Унікальні інструкції архітектури Power3

47) Мультимедійні розширення систем команд

48) Розширення систем команд для виконання ЦОС

#### **Практичні завдання**

Пояснити застосування, структуру, операнди, режими адресації, особливості машинного кодування для вказаних команд (RV32I). Навести приклади команд на мові Асемблера та машинній мові

- 1) команди порівняння з регістровими операндами
- 2) команди порівняння з операндом-константою
- 3) інструкції зсуву з операндом-константою
- 4) інструкції зсуву з регістровими операндами
- 5) команди для умовних переходів для операндів зі знаком
- 6) команди для умовних переходів для операндів без знаку
- 7) команди для безумовних переходів
- 8) команди збереження слів, байтів та напівслів
- 9) команди завантаження слів, байтів та напівслів
- 10) команди додавання/віднімання з регістровими операндами
- 11) команди додавання/віднімання з операндом-константою
- 12) команди для завантаження констант
- 13) логічні інструкції з операндом-константою
- 14) логічні інструкції з регістровими операндами

### **Змістовний модуль № 2**

#### **Теоретичні питання**

- 1) дешифратор АЛП
- 2) основний дешифратор одноктактного процесора
- 3) будова та робота найпростішого АЛП
- 4) АЛП з ознаками переносу, знаку, нуля, переповнення
- 5) АЛП з підтримкою команди SLT
- 6) продуктивність одноктактного процесора
- 7) продуктивність багатотактного процесора
- 8) конвеєризація, часові діаграми
- 9) конфлікти у конвеєрному процесорі, їх класифікація та вирішення
- 10) продуктивність конвеєрного процесора
- 11) процесори з довгим конвеєром
- 12) передбачення умовних переходів
- 13) суперскалярний/суперконвеєрний процесор
- 14) процесор з позачерговим виконанням команд
- 15) перейменування регістрів як спосіб усунення конфліктів

16) еволюція мікроархітектури RISC-V

#### **Практичні завдання**

- 1) Пояснити виконання базової інструкції згідно варіанту для вказаної мікроархітектури (одноктактний, багатотактний або конвеєрний процесор).
- 2) Пояснити виконання додаткової інструкції згідно варіанту для вказаної мікроархітектури (одноктактний, багатотактний або конвеєрний процесор).
- 3) Навести приклади вирішення конфліктів або покращення продуктивності процесора

### **Змістовний модуль № 3**

#### **Теоретичні питання**

- 1) Ієрархічна організація пам'яті
- 2) Аналіз продуктивності систем пам'яті
- 3) Часова локальність при зверненні до даних та її використання
- 4) Просторова локальність при зверненні до даних та її використання

- 5) Способи організації кеш-пам'яті
- 6) Вплив довжини рядка на ефективність кеш-пам'яті
- 7) Стратегії заміщення даних у кеш-пам'яті
- 8) Багаторівнева організація кеш-пам'яті
- 9) Скорочення частоти промахів
- 10) Стратегії запису
- 11) Організація віртуальної пам'яті
- 12) Захист пам'яті
- 13) Стратегії заміщення сторінок
- 14) Багаторівневі таблиці сторінок
- 15) Кеш-пам'ять прямого відображення
- 16) Багатосекційний кеш
- 17) Повністю асоціативний кеш
- 18) Трансляція адрес
- 19) Таблиця сторінок
- 20) Буфер асоціативної трансляції

#### Практичні завдання

1) Підсистема віртуальної пам'яті здатна адресувати  $2^{52}$  Байт. Є необмежений дисковий простір і 64 ГБайт основної пам'яті. Розмір фізичних і віртуальних сторінок дорівнює 4 КБайт.

- a) Чому дорівнює довжина фізичної адреси в бітах?
- b) Скільки фізичних сторінок в підсистемі?
- c) Кожен запис в таблиці сторінок містить номер фізичної сторінки, біти достовірності (V) і зміни (D). Скільки Байт знадобиться для зберігання кожного запису?

2) Підсистема віртуальної пам'яті здатна адресувати  $2^{40}$  Байт. Є необмежений дисковий простір і 8 ГБайт основної пам'яті. Розмір фізичних і віртуальних сторінок дорівнює 2 МБайт.

- a) Яка максимальна кількість віртуальних сторінок в підсистемі?
- b) Який розмір номерів віртуальних і фізичних сторінок в бітах?
- c) Кожен запис в таблиці сторінок містить номер фізичної сторінки, біти достовірності (V) і зміни (D). Який загальний розмір таблиці в Байтах?

3) Для прискорення роботи підсистеми віртуальної пам'яті використовується буфер асоціативної трансляції (TLB). Система пам'яті володіє характеристиками:

Тип пам'яті	Час доступу в тактах	Відсоток промахів
TLB	1	0.01%
Кеш	1	0.1%
Оперативна пам'ять	100	0.001%
Жорсткий диск	1000000	0%

Відсоток промахів TLB і кеша показує, як часто необхідний елемент буде не знайдений у відповідній пам'яті. Відсоток промахів оперативної пам'яті показує, як часто трапляються сторінкові помилки. Таблиця сторінок завжди розташована в фізичній пам'яті і ніколи не завантажується в кеш даних. Який середній час доступу в підсистемі віртуальної пам'яті без TLB і з TLB?

4) Підсистема віртуальної пам'яті здатна адресувати  $2^{40}$  Байт. Є необмежений дисковий простір і 8 ГБайт основної пам'яті. Розмір фізичних і віртуальних сторінок дорівнює 4 КБайт. Буфер асоціативної трансляції (TLB) складається з 64 елементів.

Чому дорівнює сумарний розмір TLB в бітах? Вкажіть значення для даних (номерів фізичних сторінок), тегів (номерів віртуальних сторінок) і бітів достовірності для кожного елемента.

5) Дано кеш з наступними параметрами:  $b$ , довжина рядка в словах;  $S$ , кількість наборів;  $N$ , кількість секцій;  $A$ , число бітів адреси.

- a) Виразіть через перераховані параметри ємність кеша  $C$ .

b) Визначте  $S$  і  $N$  для повністю асоціативного кеша ємністю  $C$  слів, довжина рядка якого дорівнює  $b$ ?

б) Дано кеш з наступними параметрами:  $b$ , довжина рядка в словах;  $S$ , кількість наборів;  $N$ , кількість секцій;  $A$ , число бітів адреси.

а) Виразіть через перераховані параметри число біт, необхідне для зберігання тегів.

б) Чому дорівнює  $S$  для кеш-пам'яті прямого відображення ємністю  $C$  слів, довжина рядка якого дорівнює  $b$ ?

7) Кеш містить 64 слів. Дано наступну повторювану послідовність шістнадцяткових адрес для команд завантаження (lw): 40 44 48 4C 50 54 58 5C 80 84 88 8C 60 64 68 6C 10 14 18 1C 70 74 78 7C 80. Визначте відсоток промахів при виконанні цієї послідовності команд при використанні кеш-пам'яті прямого відображення,  $b = 4$  слів. Неминучими промахами знехтувати.

8) Кеш містить 128 слів. Дано наступну повторювану послідовність шістнадцяткових адрес для команд завантаження (lw): 40 44 48 4C 60 64 68 6C 80 84 88 8C 70 74 78 7C 10 14 18 1C 30 34 38 3C 20. Використовується стратегія витіснення рідко використовуваних даних (LRU) для асоціативного кешу. Визначте відсоток промахів при виконанні цієї послідовності команд при використанні кеш-пам'яті (повністю асоціативний кеш,  $b = 16$  слів).

9) Кеш містить 64 слів. Дано наступну повторювану послідовність шістнадцяткових адрес для команд завантаження (lw): 40 44 48 4C 50 54 58 5C 80 84 88 8C 60 64 68 6C 10 14 18 1C 70 74 78 7C 80. Використовується стратегія витіснення рідко використовуваних даних (LRU) для асоціативного кешу. Визначте відсоток промахів при виконанні цієї послідовності команд при використанні кеш-пам'яті (чотирисекційний асоціативний кеш,  $b = 4$  слів). Неминучими промахами знехтувати.

10) Кеш містить 64 слів. Дано наступну повторювану послідовність шістнадцяткових адрес для команд завантаження (lw): 40 44 48 4C 60 64 68 6C 80 84 88 8C 70 74 78 7C 10 14 18 1C 30 34 38 3C 20. Визначте відсоток промахів при виконанні цієї послідовності команд при використанні кеш-пам'яті прямого відображення,  $b = 8$  слів. Неминучими промахами знехтувати.

#### **Змістовний модуль № 4**

##### **Теоретичні питання**

Пояснити особливості архітектури ARM, порівняти з архітектурою RISC-V

- 1) Регістри, константи та пам'ять.
- 2) Команди завантаження та збереження.
- 3) Логічні команди та команди зсуву.
- 4) Арифметичні команди та команди порівняння.
- 5) Ознаки умов. Регістр поточного стану програми.
- 6) Умовні та безумовні переходи.
- 7) Режим адресації.
- 8) Формат команди обробки даних.
- 9) Формат команд доступу до пам'яті.
- 10) Формат команд переходу.
- 11) Карта пам'яті.
- 12) Архітектурний стан та набір команд для проектування процесора.
- 13) Тракт даних одноканального процесора.
- 14) Одноканальний пристрій керування.
- 15) Багатоканальний тракт даних.
- 16) Багатоканальний пристрій керування.
- 17) Діаграма станів багатоканального керуючого автомата.
- 18) Конвеєрний тракт даних.
- 19) Конвеєрний пристрій керування.

20) Конфлікти у конвексному процесорі та їх вирішення.

Дати розгорнуту відповідь з теми "Системи зберігання даних"

- 1) Основна та масова (дискова) пам'ять.
- 2) Дискові масиви, рівні RAID.
- 3) Визначення та приклади несправностей та відмов.
- 4) Продуктивність введення-виведення та показники надійності.
- 5) Кеш-пам'ять – чотири питання ієрархічної організації пам'яті.
- 6) Чотири питання ієрархічної організації пам'яті в контексті віртуальної пам'яті.

## **Завдання до курсового проектування з дисципліни “Архітектура комп’ютера”**

Тема: Процесор архітектури RISC-V із заданою системою інструкцій та підсистемою кеш-пам’яті. Варіант \_\_\_\_

Проект оформляється відповідно до вимог і включає:

- титульну сторінку
- завдання на проектування
- вступ
- розділ 1. Проектування інформаційного тракту та пристрою керування
  - 1.1. базовий набір команд
  - 1.2. додаткові команди
  - 1.3. інформаційний тракт
    - особливості реалізації в одноктактному, багатотактному та конвеєрному процесорі
    - 1.4. пристрій керування
      - особливості реалізації в одноктактному, багатотактному та конвеєрному процесорі
    - 1.5. блок вирішення конфліктів
  - розділ 2. Проектування підсистеми кеш-пам’яті
    - 2.1. загальні питання
    - 2.2. кеш інструкцій
    - 2.3. кеш даних
    - 2.4. інтерфейс інформаційного тракту та кеш пам’яті
  - розділ 3. Дослідницька частина
    - може включати: оцінку продуктивності процесора, код процесора на мові опису апаратури, тощо
      - висновки
      - список літератури
      - додатки: розроблені схеми, які розміщуються на окремих аркушах з написами відповідно до стандартів.

### **ЗАВДАННЯ НА ПРОЕКТУВАННЯ**

Варіант \*\*

1 етап. Вивчення підмножини інструкцій скалярного RISC-комп’ютера  
Дано. Підмножина інструкцій скалярного RISC-комп’ютера, яка включає:

- базовий набір інструкцій: add, sub, and, or, slt, lw, sw, beq, addi, jal, andi, ori, slti

- додаткові інструкції згідно варіанту завдання.

Завдання.

1. Використовуючи Асемблер, регістри та модель пам’яті RISC-V для: однієї базової інструкції згідно варіанту завдання:

1) add, 2) sub, 3) and, 4) or, 5) slt, 6) lw, 7) sw, 8) beq, 9) addi, 10) jal, 11) andi, 12) ori, 13) slti

та додаткової інструкції згідно варіанту завдання:

1) lui, 2) sra, 3) lbu, 4) blt, 5) bltu, 6) bge, 7) bgeu, 8) jalr, 9) auipc, 10) sb, 11) srai, 12) slli, 13) lh.

- навести загальний асемблерний запис інструкції,
- пояснити призначення та особливості виконання інструкції,
- вказати спосіб адресації операндів,
- навести приклади використання інструкції,
- зобразити структуру машинного коду інструкції відповідно до її типу,
- навести приклади двійкового кодування інструкції.

2. Матеріал проілюструвати прикладами у симуляторі Асемблера.

2 етап. Проектування одноктактного процесора

Вихідні дані для проектування:

- схема інформаційного тракту та пристрою керування одноктактного процесора, який може виконувати базовий набір інструкцій: add, sub, and, or, slt, lw, sw, beq, addi, jal, andi, ori, slti;

- таблиця істинності дешифратора АЛП;

- таблиця істинності основного дешифратора;

- схема арифметико-логічного пристрою.

Завдання 1. Визначити, які частини тракту даних беруть участь у виконанні базової інструкції згідно варіанту (див. 1 етап), описати виконання інструкції та вказати значення керуючих сигналів.

Завдання 2. Розширити функціональність процесора, додавши до системи команд нову команду згідно варіанту завдання (див. 1 етап). Навести схеми інформаційного тракту, пристрою керування та схему АЛП, заповнити таблиці істинності для процесора, який може виконувати базові команди та додану у результаті проектування.

3 етап. Проектування багатотактного процесора

Вихідні дані для проектування:

- схема інформаційного тракту та пристрою керування багатотактного процесора, який може виконувати базовий набір інструкцій: add, sub, and, or, slt, lw, sw, beq, addi, jal, andi, ori, slti;

- таблиця істинності дешифратора АЛП;

- діаграма станів керуючого автомата;

- схема арифметико-логічного пристрою.

Завдання 1. Визначити, які частини тракту даних беруть участь у виконанні базової інструкції згідно варіанту (див. 1 етап), описати виконання інструкції, діаграму станів та вказати значення керуючих сигналів.

Завдання 2. Розширити функціональність процесора, додавши до системи команд нову команду згідно варіанту завдання (див. 1 етап). Навести схеми інформаційного тракту, пристрою керування та схему АЛП, заповнити

таблиці істинності та побудувати діаграми станів для процесора, який може виконувати базові команди та додану у результаті проектування.

4 етап. Проектування конвеєрного процесора

Вихідні дані для проектування:

- схема інформаційного тракту, пристрою керування та блоку вирішення конфліктів конвеєрного процесора, який може виконувати базовий набір інструкцій: add, sub, and, or, slt, lw, sw, beq, addi, jal, andi, ori, slti;

- таблиці істинності основного дешифратора та дешифратора АЛП;

- схема арифметико-логічного пристрою.

Завдання 1. Визначити, які частини тракту даних беруть участь у виконанні базової інструкції згідно варіанту (див. 1 етап), описати виконання інструкції, таблиці істинності та вказати значення керуючих сигналів.

Завдання 2. Розширити функціональність процесора, додавши до системи команд нову команду згідно варіанту завдання (див 1 етап). Навести схеми інформаційного тракту, пристрою керування та схему АЛП, заповнити таблиці істинності та вказати особливості вирішення конфліктів для процесора, який може виконувати базові команди та додану у результаті проектування.

5 етап. Зобразити на схемах детальні структури кешу даних та інструкцій:

- схему відображення основної пам'яті у кеш-пам'ять,

- структуру адреси при звертанні до кеш-пам'яті

- апаратну блок-схему кеш-пам'яті.

Вважати, що 1 word = 4 byte, обсяг ОП =  $2^{30}$  word.

Використати наступні типи функцій відображення відповідно з варіантом завдання:

кеш даних:

1, 3, 5, 7, 9, 11, 13 – частково-асоціативне відображення ( $i > 1$  way,  $j$  set,  $k$  word)

2, 4, 6, 8, 10, 12 – пряме відображення ( $i = 1$  way,  $j$  set,  $k$  word)

кеш інструкцій:

1, 3, 5, 7, 9, 11, 13 – пряме відображення ( $m = 1$  way,  $n$  set,  $p$  word)

2, 4, 6, 8, 10, 12 – частково-асоціативне відображення ( $m > 1$  way,  $n$  set,  $p$  word)