

**АНОТАЦІЯ ДИСЦИПЛІНИ**  
**Логічні матриці для мікроконтролерів**

|  |  |
|--|--|
| <b>Назва дисципліни</b>                              | <b>Логічні матриці для мікроконтролерів</b>  |
| <b>Рівень вищої освіти</b>                           | Другий (магістерський)   |
| <b>Курс (рік) навчання</b>                           | 1  |
| <b>Семестр</b>                                       | 1 - 2  |
| <b>Обсяг дисципліни у кредитах</b>                   | 4 (120 годин)  |
| <b>Мова викладання</b>                               | українська   |
| <b>Передумови для вивчення дисципліни</b>            | Загальне розуміння фізичних явищ та елементарні знання з електроніки   |
| <b>Кафедра, яка забезпечує викладання дисципліни</b> | Фізики напівпровідників  |
| <b>Інформаційне забезпечення</b>                     | презентації до лекційних занять, робоча програма навчальної дисципліни, підручники, монографії, інтернет ресурси |
| <b>Форма проведення занять</b>                       | лекції, лабораторні заняття, самостійна робота   |
| <b>Форма семестрового контролю</b>                   | залік  |

**Ключові результати навчання (знання, уміння та інші компетентності):**

**Знання:** загальні принципи побудови та використання сучасних мікросхем ПЛІС-FPGA; принципи будови та програмування елементів програмованих логічних матриць.

**Метою** формування твердих практичних навичок щодо проектування систем збереження інформації, на основі ПЛІС-FPGA створювати широкий спектр електронних пристроїв, серед яких: засоби поєднання різних за живленням інтерфейсів, перетворювачі кодів, периферійні контролери, мікропрограмні пристрої керування (мікропроцесорні ядра з можливістю зміни архітектури), скінченні автомати, універсальні та спеціалізовані процесори, пристрої цифрової обробки сигналів тощо.

**Короткий зміст дисципліни (що буде вивчатися, перелік тем):** Класифікація програмованих логічних схем (ПЛІС). Архітектура мікросхем сімейства Cyclone V. Архітектура логічного елемента. Логічний блок. Конфігуруємий блок пам'яті M4K. Архітектура блоку ФАПЧ. Архітектура вбудованого помножувача і блоку цифрової обробки сигналу. Елементи вводу-виводу і банки вводу-виводу. Архітектура мікросхем Spartan. Архітектура мікросхем CPLD. Конфігурування мікросхем ПЛІС. Мови опису апаратури. Рівні проектування мікросхем. Структура проекту на мові VHDL. Декларація бібліотек. Інтерфейс об'єкта проекту. Архітектура об'єкта проекту. Типи даних. Базові типи Типи, визначені користувачем. Підтипи Атрибути типів. Літерали. Масиви і записи. Оператори мови VHDL. Оператори присвоювання Послідовні оператори Паралельні оператори. Оператор генерації. Компонент. Опис комбінаційних пристроїв. Опис послідовних схем. Опис тригерів. Опис регістрів. Опис лічильників. Опис цифрових автоматів Опис пам'яті з використанням VHDL. Опис постійних зап'ятовуючих пристроїв на мові VHDL. Опис оперативних запам'ятовуючих пристроїв. Опис двохпортової пам'яті. Пакети, процедури та функції. Створення файлу на мові опису апаратури в пакеті Quartus. «Програмні процесори» Процесорне ядро ARM, MIPS та FORTH. Перспективи розвитку FPGA.