

ВІВЧЕННЯ БАЗОВОГО ЛОГІЧНОГО ЕЛЕМЕНТА ЦИФРОВИХ МІКРОСХЕМ ТТЛ

Мета роботи. Вивчення принципу роботи, дослідження основних статичних характеристик та визначення параметрів БЛЕ І-НІ у мікросхемному виконанні.

Завдання 1. Вивчення цоколювки і таблиці істинності БЛЕ І-НІ у складі мікросхеми К155ЛА3.

Інтегральна МС К155ЛА3 входить до складу стандартної ТТЛ серії і включає в себе чотири незалежних двовходових елемента І-НІ (4×2І-НІ). Реалізована МС К155ЛА3 в пластмасовому корпусі DIP-14 (варіант КМ155ЛА3 виконується в керамічному корпусі DIP-14).

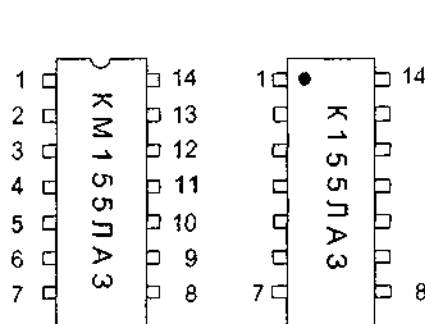


Рис.1. Розміщення виводів для МС у двох варіантах корпусу

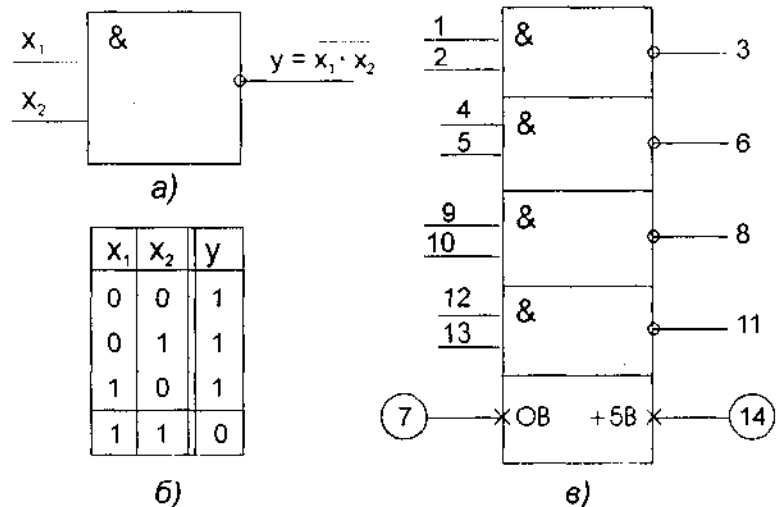


Рис.2. Умовне графічне позначення (а), таблиця істинності (б), БЛЕ І-НІ та призначення виводів МС К155ЛА3 (в)

Хід виконання завдання

1. Вставити МС в панельку на стенді ЛС-1 у відповідності з рис.2 в. Підключити живлення до відповідних клем на макеті (блок живлення при виконанні монтажних робіт включати *не дозволяється!*). Для контролю рівня споживання МС в коло живлення ввести: аналогові вольтметр PV2 (0... 10 В) та міліамперметр РА2 (0... 50 мА) за схемою на рис.3.

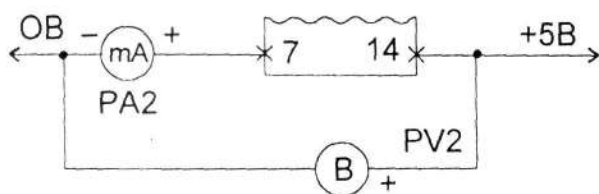


Рис.3. Схема контролю за рівнем споживання

При цьому вимірюватись будуть:

- Струм споживання $I_{сп}$ [мА];
- Напруга живлення $U_{ж}$ [В].

За отриманими даними визначається:

Споживана потужність $P_{сп}$ [мВт].

Увага!

- Всі вимірювання в даній та наступних роботах виконувати тільки при підключених контрольних приладах PA2 і PV2.
- Зашкалювання міліамперметра PA2 або різке падіння напруги в показах PV2 говорить про внутрішнє замикання всередині досліджуваної МС. В таких випадках необхідно відключити живлення і замінити мікросхему.

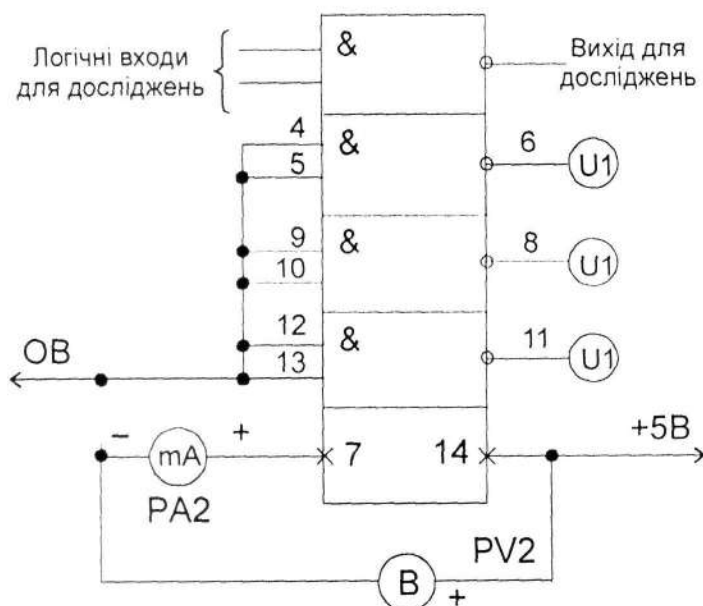


Рис.4. Схема зовнішніх комутацій незадіяних входів МС

2. При виконанні роботи дослідженню підлягає тільки один з чотирьох незалежних БЛЕ, які входять до складу МС. Таким чином, незадіяними будуть три ЛЕ. Для запобігання несанкціонованого впливу незадіяних елементів, їх входи необхідно під'єднати до джерела логічних рівнів таким чином, щоб на виході цих незадіяних елементів встановився рівень лог.1.

Цією метою виконують комутацію незадіяних виводів згідно із схемою на рис.4. Для перевірки правильності спрацьовування МС необхідно включити живлення і цифровим мультиметром М 830В виміряти напруги на входах (4, 5, 9, 10, 12, 13) і виходах (6, 8, 11) незадіяних ЛЕ.

Дослідити таблицю істинності БЛЕ 2І-НІ

Результати досліджень оформити у вигляді таблиць 1 і 2.

Таблиця 1. Контрольні рівні напруги для незадіяних ЛЕ

Номера виводів МС К155ЛА3									
В х і д						В и х і д			
4	5	9	10	12	13	6	8	11	
									U, В
0	0	0	0	0	0	1	1	1	Логічний стан, 0/1

Таблиця 2. Перевірка таблиці істинності БЛЕ І-НІ

В х о д и		В и х і д	
X ₂	X ₁	Y	U _{вих} , В
0	0		
0	1		
1	0		
1	1		
2	1	3	3

Завдання 2. Дослідження передавальної характеристики БЛЕ І-НІ

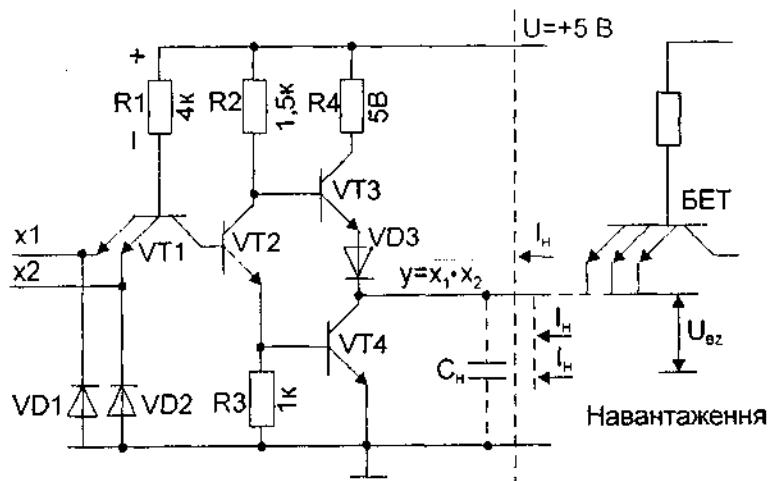
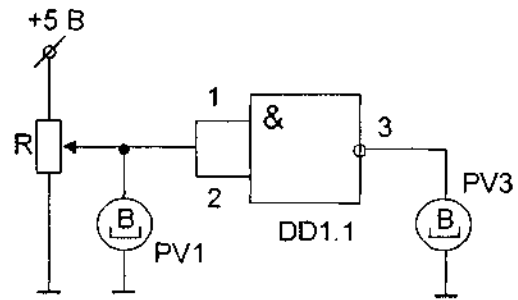


Рис. 5. Схемотехніка БЛЕ І-НІ стандартної ТТЛ серії

1. Передавальна характеристика БЛЕ І-НІ визначається залежністю $U_{вих} = f(U_{вх})$ і для її дослідження необхідно зібрати схему, яка представлена на рис.6.
2. При дослідженні передавальної характеристики незадіяні ЛЕ залишаються підключеними по схемі рис.4 в попередньому завданні.

3. За допомогою реостата R поступово змінюють вхідну напругу $U_{\text{вх}}$, яка вимірюється вольтметром PV1, в межах від 0 до 5 В і одночасно вимірюють напругу на виході МС вольтметром PV3. Дискретність зміни вхідної напруги має бути мінімальною в інтервалі $U_{\text{вх}} : 0,8 \dots 1,6$ В, інакше важко буде зафіксувати з належною точністю спадаючу ділянку залежності $U_{\text{вих}} = f(U_{\text{вх}})$.



PV1, PV3 – цифрові мультиметри
М 830 В

Рис. 6. Схема для дослідження
передавальної характеристики

Отриману залежність оформити у вигляді таблиці 3.

Таблиця 3. Передавальна характеристика БЛЕ І–НІ ТТЛ

$U_{\text{вх}}, \text{В}$	0	0,2	5,0
$U_{\text{вих}}, \text{В}$				

4. За отриманими результатами будують залежність $U_{\text{вих}} = f(U_{\text{вх}})$. При цьому масштаби по осях абсцис і ординат вибирають однаковими таким чином, щоб залежність $U_{\text{вих}} = f(U_{\text{вх}})$ представлялася прямою лінією, яка виходить з початку координат під кутом 45° до осей X і Y . Після необхідної обробки отриманої залежності (див. рис.7) визначають наступні параметри БЛЕ:

- вхідні рівні напруг лог.0 і лог.1: $U_{\text{вх}}^0 =$ [В], $U_{\text{вх}}^1 =$ [В];
- вихідні рівні напруг лог.0 і лог.1: $U_{\text{вих}}^0 =$ [В], $U_{\text{вих}}^1 =$ [В];
- вхідний рівень логічного перепаду: $\Delta U_{\text{вх}}^1 = U_{\text{вх}}^1 - U_{\text{вх}}^0$ [В];
- вихідний рівень логічного перепаду: $\Delta U_{\text{вих}}^1 = U_{\text{вих}}^1 - U_{\text{вих}}^0$ [В];
- порогову напругу підключення: $U_{\text{пор}} =$ [В];
- рівень додатньої завади (завадостійкість): $U_3^+ =$ [В];
- рівень від'ємної завади (завадостійкість): $U_3^- =$ [В];

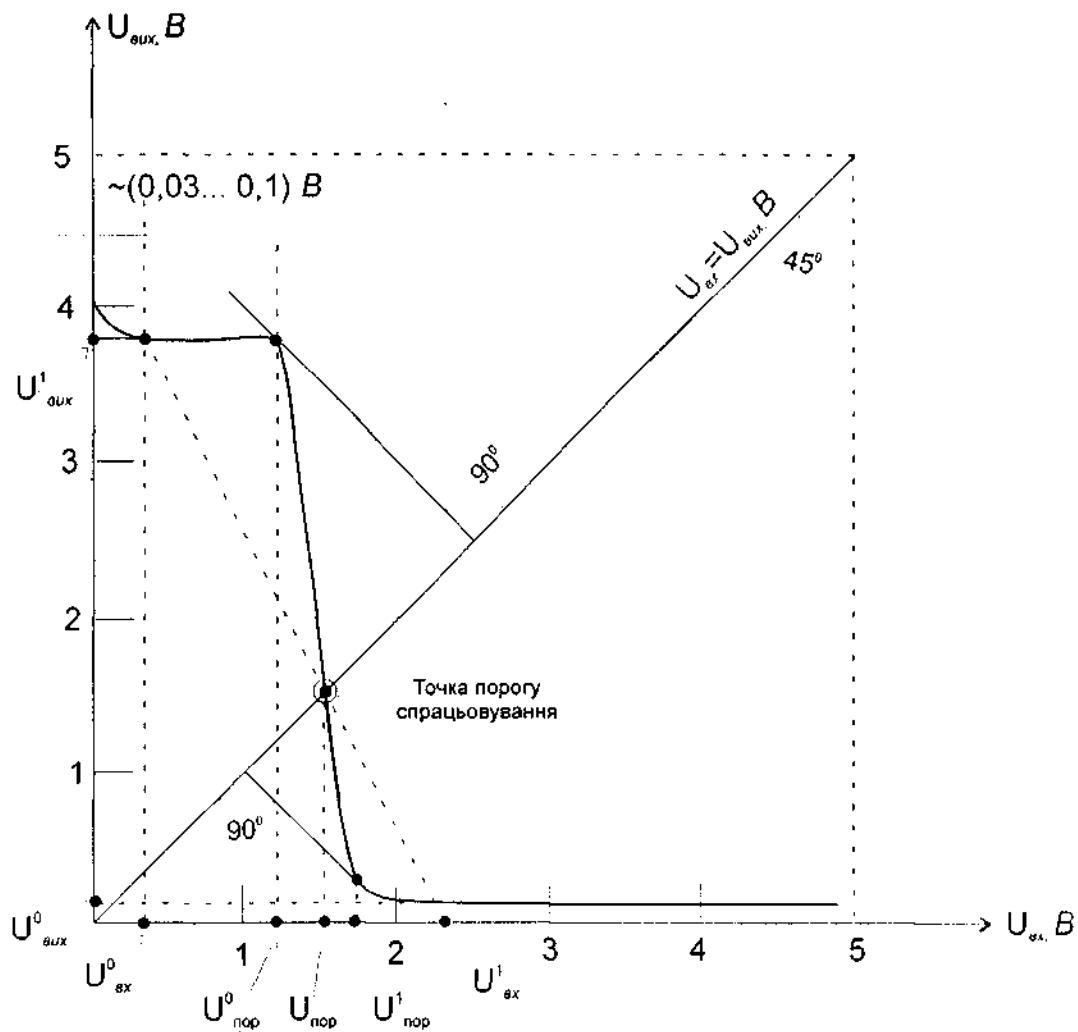


Рис.7. До визначення параметрів БЛЕ за отриманою передавальною характеристикою

- пороговий рівень для лог.0: $U_{пор}^0 = [В]$;
- пороговий рівень для лог.1: $U_{пор}^1 = [В]$;
- середню статичну споживану потужність $P_{сп.сп}$: $P_{сп.сп} = \frac{1}{2}(P_{сп}^0 + P_{сп}^1)$ [мВт],
де $P_{сп}^0$ – потужність, яка споживається від джерела живлення при $U_{вих} = U_{вих}^0$,
- де $P_{сп}^1$ – потужність, яка споживається від джерела живлення при $U_{вих} = U_{вих}^1$.

Примітка: Для визначення $P_{сп}^0$ і $P_{сп}^1$ користуються показами контрольних приладів PV2 і PA2 при відповідних рівнях напруг на виході ЛЕ.

- Після закінчення досліджень передавальної характеристики вимикають живлення і розбирають тільки схему для підключення досліджуваного елемента. Комутації для незадіяних елементів та коло для контролю живлення залишаються без змін і використовуються у наступному завданні.

Завдання 3. Вивчення вхідної характеристики БЛЕ І–НІ

- Вхідна характеристика БЛЕ І–НІ визначається залежністю $I_{вх} = f(U_{вх})$ і для її дослідження необхідно зібрати схему, яка представлена на рис.8. В цій схемі

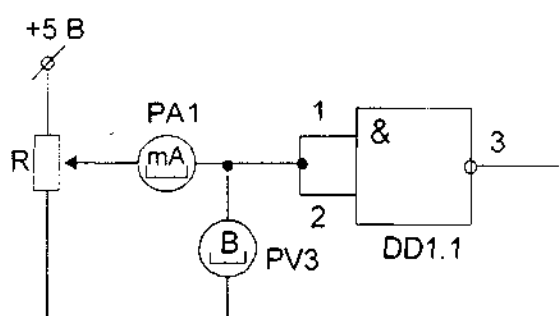


Рис 8 Схема для дослідження вхідної характеристики

вихід МС зможе залишатися непідключеним, оскільки це не впливає на отримані результати.

Примітка: При виконанні досліджень обов'язково фіксуйте полярність підключення міліамперметра PA1 та знак струму $I_{вх}$ за показами М 830 В.

Діапазон зміни $U_{вх}$: 0.....5 В.

- Результати досліджень оформляють у вигляді таблиці 4.

Таблиця 4. Вхідна характеристика БЛЕ ТТЛ І–НІ

$U_{вх}, В$	0	5,0
$I_{вх}, мА$			

- За отриманими результатами будують залежність $I_{вх} = f(U_{вх})$ (див. рис.9) і визначають наступні вхідні параметри:

- вхідний струм логічного нуля: $I_{вх}^0 =$ [мА];
- максимальний вхідний струм логічного нуля: $I_{вх.мах}^0 =$ [мА];
- вхідний струм логічної одиниці: $I_{вх}^1 =$ [мкА];

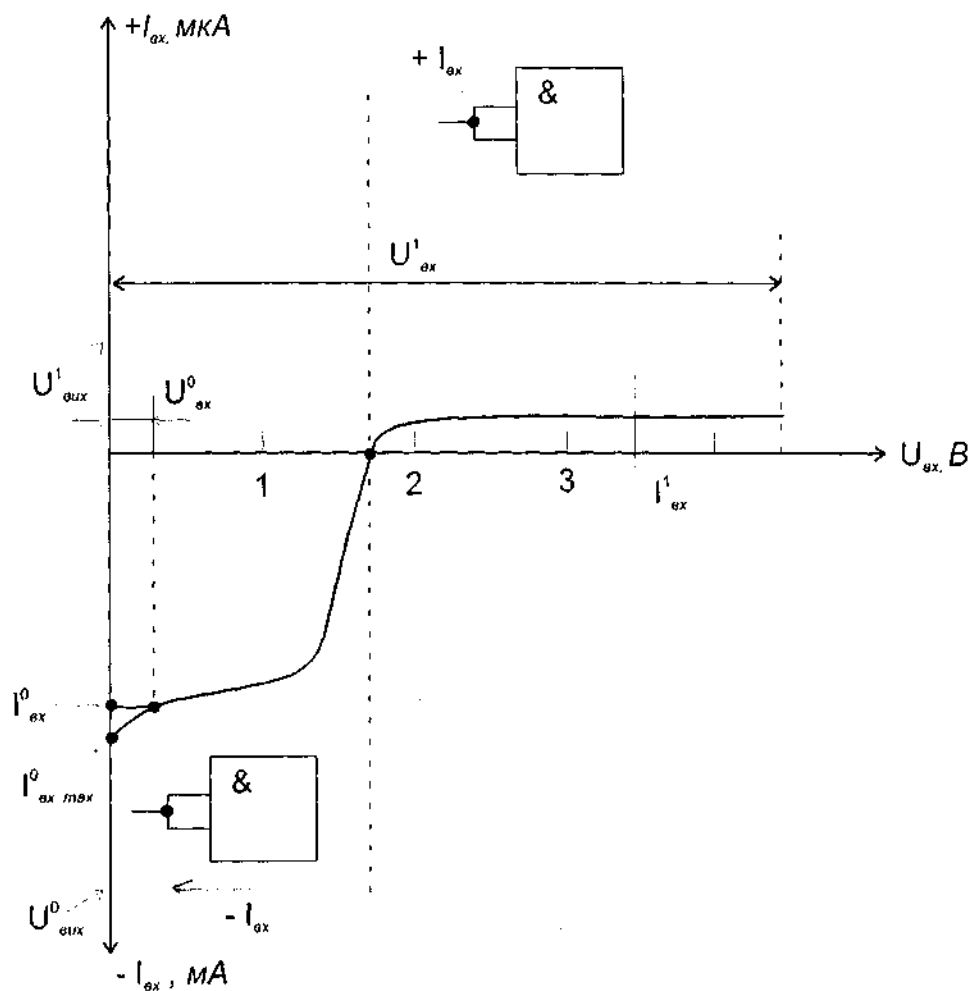


Рис.9. До визначення вхідних параметрів БЛЕ. U_{ox}^1 і U_{ox}^0 визначають із передавальної характеристики (рис.7)

– коефіцієнт об'єднання по входу (кількість задіяних входів БЛЕ)

$$k_{об.} = \quad ;$$

– додатковий параметр $I_{ox}^1 \cdot k_{об.} = \quad [\text{мкА}]$.

Примітка:

- за додатній напрямок вхідного струму умовно приймається напрямок струму, який втікає в мікросхему;
- за від'ємний напрямок вхідного струму умовно приймається напрямок струму, який витікає із мікросхеми.

4. Після закінчення досліджень вхідної характеристики вимикають живлення і розбирають тільки схему для комутацій досліджуваного елемента. Інші з'єднання залишають без зміни і використовують у наступному завданні.

Завдання 4. Вивчення вихідної характеристики БЛЕ ТТЛ

1. Вихідна характеристика БЛЕ І–НІ визначається залежністю $I_{вих} = f(U_{вих})$ для включеного елемента (на обох входах – лог.1, на виході – стан лог.0) та виключеного елемента (на обох входах – лог.0, на виході – стан лог.1). При цьому, як і в попередньому завданні, струм, який втікає в мікросхему рахується додатнім, а струм, який витікає – від'ємним. Для дослідження вихідних характеристик збирають схему, яка представлена на рис.10.

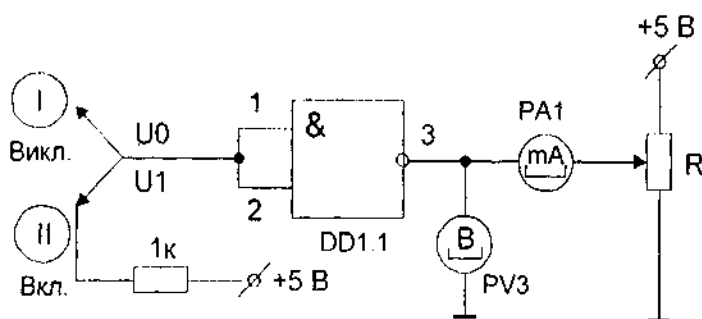


Рис.10. Схема для дослідження вихідних характеристик

- Для отримання вихідної характеристики включеного елемента його входи 1, 2 під'єднують до джерела лог.1 (поз.II).
 - Для отримання вихідної характеристики виключеного елемента його входи 1, 2 під'єднують до джерела лог.0 (поз.I).
2. Отримані результати оформляють у вигляді двох таблиць.

Таблиця 5. Вихідна характеристика включеного елемента І–НІ

$U_{вих}, В$	0		
$I_{вих}, мА$			

Таблиця 6. Вихідна характеристика виключеного елемента І–НІ

$U_{вих}, В$	0		
$I_{вих}, мА$			

3. В результаті обробки графічних залежностей (див. рис.11) визначають наступні параметри для включеного і виключеного БЛЕ:

- вихідний струм для рівня лог.0: $I_{вих}^0 =$ [мА];
- вихідний струм для рівня лог.1: $I_{вих}^1 =$ [мА];
- коефіцієнт розгалуження по виходу: $k_{роз.} = \max \left\{ \frac{I_{вих}^0}{I_{вх}^0}, \frac{I_{вих}^1}{I_{вх}^1} \right\}$.

4. Виключити живлення і розібрати всі зовнішні комутації на стенді.

5. Зробити висновки, порівнявши отримані результати з паспортними даними МС К155ЛА3.

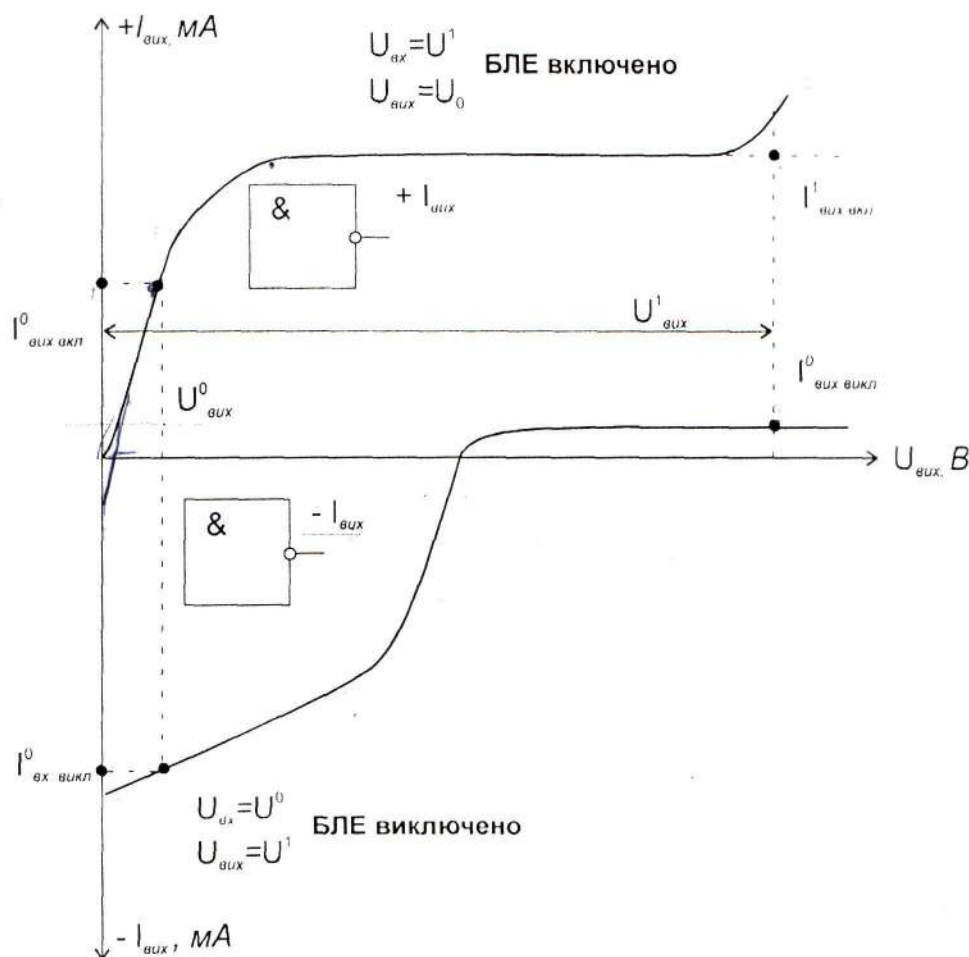


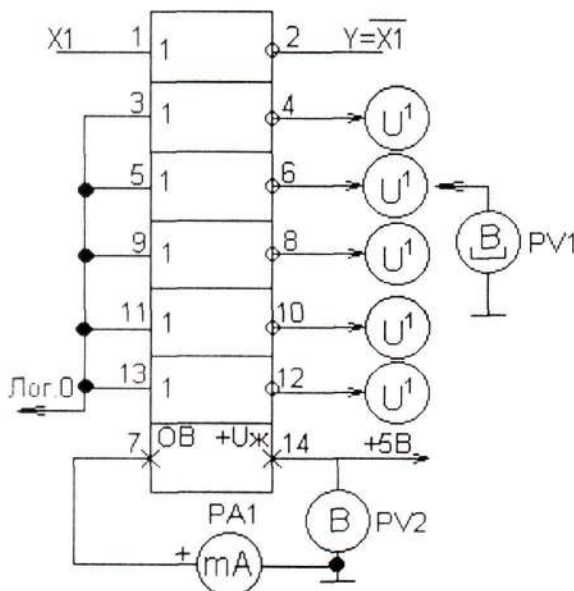
Рис. 11. До визначення вихідних параметрів БЛЕ. $U_{вих}^0$ і $U_{вих}^1$ визначають із передавальної характеристики (рис.7)

ВИВЧЕННЯ ЦИФРОВИХ ВУЗЛІВ КОМБІНАЦІЙНОГО ТИПУ НА ОСНОВІ ІНТЕГРАЛЬНИХ МІКРОСХЕМ ТТЛ

Мета роботи. Вивчення роботи, методики проектування та еспериментальне дослідження роботи БЛЕ (НІ, І, АБО, І-НІ, АБО-НІ), комбінаційних схем на основі інтегральних мікросхем ТТЛ середнього ступеня інтеграції.

Завдання 1. Вивчення таблиць істинності базових логічних елементів (БЛЕ) ТТЛ.

Завдання 1.1 – Інвертор ТТЛ – мікросхема К155ЛН1 (6хНІ)



DD1 К155ЛН1

Рис.1.1

Визначити за схемою на рис.1.1:

- Кількість входів в одному логічному елементі $n = \dots$
2. Кількість наборів вхідних змінних $r = 2^n = \dots$
3. Виміряти:
 - $I_{\text{сп.}} = \dots$ [мА] - міліамперметром PA1;
 - $U_{\text{ж.}} = \dots$ [В] – вольтметром PV2;
4. Розрахувати $P_{\text{сп}} = I_{\text{сп.}} \times U_{\text{ж.}} = \dots$ [мВт].
5. Дослідити схему і заповнити таблицю 1.1.

Таблиця 1.1 Таблиця істинності інвертора

X_1	Y	$U_{\text{вих}}, \text{В}$
1		
0		
1	2	2
Номера виводів мікросхеми		

6. Встановити візуально і виміряти рівні логічних сигналів на виводах 4, 6, 8, 10, 12 незадіяних логічних елементів DD1.2-DD1.6.

Завдання 1.2 – Логічний елемент ТТЛ АБО – мікросхема К155ЛЛ1 (4х2АБО)

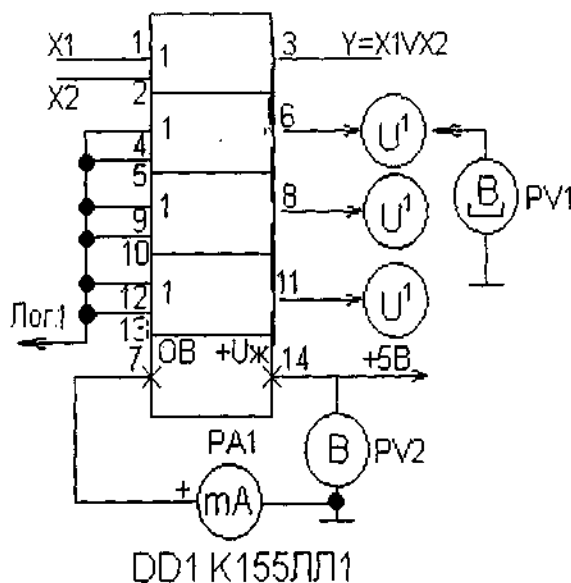


Рис1.2

Визначити:

1. Кількість входів в одному логічному елементі n
2. Кількість наборів вхідних змінних r
3. Виміряти: $I_{\text{сп}} = \dots$ [мА], $U_{\text{ж}} = \dots$ [В].
4. Розрахувати: $P_{\text{сп}} = I_{\text{сп}} U_{\text{ж}} = \dots$ [мВт].

Таблиця 1.2. Таблиця істинності двовходового диз'юнктора

X_2	X_1	Y	$U_{\text{вих}}, \text{В}$
0	0		
0	1		
1	0		
1	1		
2	1	3	3

5. Дослідити схему і заповнити таблицю 1.2.
6. Встановити візуально і виміряти рівні логічних сигналів на виводах 6, 8, 11 незадіяних логічних елементів DD1.2-DD1.4.

Завдання 1.3 – Логічний елемент ТТЛ І – мікросхема К155ЛІ1(4х2І)

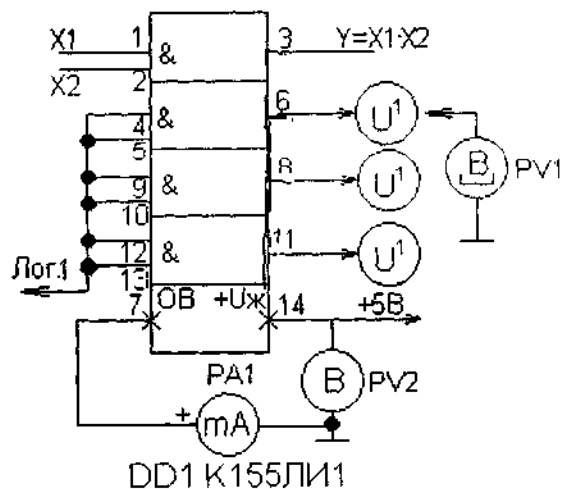


Рис.1.3

Визначити:

1. Кількість входів в одному логічному елементі n
2. Кількість наборів вхідних змінних r
3. Виміряти: $I_{\text{сп}} = \dots$ [мА], $U_{\text{ж}} = \dots$ [В]
4. Розрахувати: $P_{\text{сп}} = I_{\text{сп}} U_{\text{ж}} = \dots$ [мВт]

Таблиця 1.3 Таблица істинності двовходового кон'юнктора

X_2	X_1	Y	$U_{\text{вих}}, \text{В}$
0	0		
1	0		
0	1		
1	1		
1	2	3	3

- Дослідити схему і заповнити таблицю 1.3.
- Встановити візуально і виміряти рівні логічних сигналів на виводах 6, 8, 11 незадіяних логічних елементів DD1.2-DD1.4.

Завдання 1.4 – Логічний елемент ТТЛ АБО-НІ – мікросхема К155ЛЕ1 (4x2АБО-НІ)

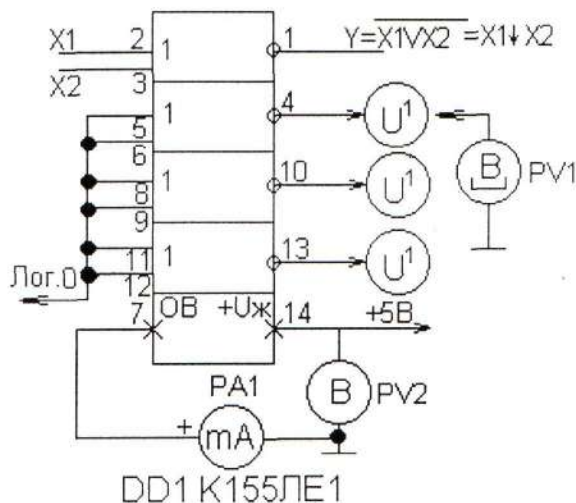


Рис.1.4

Визначити:

- Кількість входів в одному логічному елементі -п
- Кількість наборів вхідних змінних -г
- Виміряти: $I_{\text{сп}} = \dots [\text{мА}]$, $U_{\text{ж}} = \dots [\text{В}]$
- Розрахувати: $P_{\text{сп}} = I_{\text{сп}} U_{\text{ж}} = \dots [\text{мВт}]$

Таблиця 1.4. Таблица істинності двовходового елемента Пірса

X_2	X_1	Y	$U_{\text{вих}}, \text{В}$
0	0		
0	1		
1	0		
1	1		
3	2	1	1

- Дослідити схему і заповнити таблицю 1.4.
- Встановити візуально і виміряти рівні логічних сигналів на виводах 4, 10, 13 незадіяних логічних елементів DD1.2-DD1.4.

Завдання 1.5 – Логічний елемент ТТЛ І-НІ – мікросхема К155ЛА3 (4х2І-НІ)

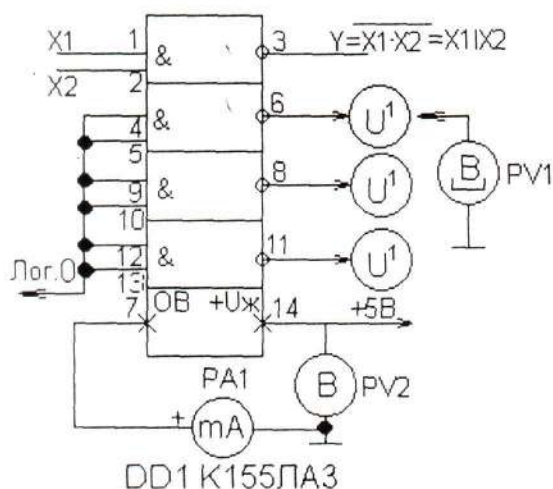


Рис.1.5

Визначити:

1. Кількість входів в одному логічному елементі – n ;
2. Кількість наборів вхідних змінних – r ;
3. Виміряти: $I_{сп} = \dots$ [мА], $U_{ж} = \dots$ [В].
4. Розрахувати: $P_{сп} = I_{сп} \cdot U_{ж} = \dots$ [мВт]
5. Дослідити схему і заповнити таблицю 1.5.

Таблиця 1.5. Таблиця істинності двовходового елемента Шеффера

X_2	X_1	Y	$U_{вих}, В$
0	0		
0	1		
1	0		
1	1		
2	1	3	3

6. Встановити візуально і виміряти рівні логічних сигналів на виводах 6, 8, 11 незадіяних логічних елементів DD1.2-DD1.4.

Завдання 2. Побудова і вивчення роботи трьохвходового комбінаційного автомату на основі МС ТТЛ.

1. Структурна схема автомату задається викладачем у окремій картці-завданні.
2. Перенести схему комбінаційного автомату у чорновик і з'ясувати на яких мікросхемах вона може бути реалізована.
3. Визначити для цієї схеми:
 - n -кількість незалежних входів в побудованій комбінаційній схемі (X_1, \dots, X_n) та r -кількість наборів вхідних змінних;
 - теоретично побудувати таблицю істинності, яку буде відпрацьовувати цей автомат. Заповнити таблицю.

Таблиця 2.1. Таблиця істинності трьохходового комбінаційного автомата на МС К1555...

Входи			Виходи		
X_3	X_2	X_1	Теорія	Експеримент	
			Y	Y	$U_{\text{вих}}, \text{В}$
1	1	1			
1	1	0			
1	0	1			
1	0	0			
0	1	1			
0	1	0			
0	0	1			
0	0	0			

Виміряти:

- $I_{\text{сп}} = \dots [\text{мА}]$
- $U_{\text{ж}} = \dots [\text{В}]$

Розрахувати:

- $P_{\text{сп}} = \dots [\text{мВА}]$

4. Вибрати необхідну мікросхему та вивчити її цоколювку. Помістити її на макеті ЛС-2.
5. Зібрати на макеті задану структурну схему і підключити її до джерела живлення.
6. Перевірити правильність виконання схеми на макеті.
7. Включити живлення і експериментально дослідити таблицю істинності автомата, подати на входи X_1, X_2, X_3 логічні сигнали відповідного рівня від джерела логічних сигналів.
8. Порівняти теоретичну і експериментальну таблицю істинності автомата.
9. На основі заданої структурної схеми і таблиці істинності визначити і записати аналітичний вираз логічної функції, яку відпрацьовує комбінаційний автомат.
10. В рамках пакета Electronics Workbench змодельовати роботу комбінаційного автомата і роздруковану модель прикласти до протоколу лабораторної роботи.

ЛАБОРАТОРНА РОБОТА №3

Вивчення цифрових пристроїв комбінаційного типу на основі інтегральних мікросхем ТТЛ середнього ступеня інтеграції

Мета роботи: Вивчення принципу роботи і експериментальне дослідження таблиць істинності дешифраторів та демультиплексорів на основі МС ТТЛ.

1. Короткі теоретичні відомості

1.1. Дешифратори

Повний двійковий дешифратор або декодер (від англ. decoder) – це операційний вузол комбінаційного типу, що перетворює n -розрядний двійковий позиційний код $X = x_{n-1}, \dots, x_2, x_1, x_0$ у m -розрядний унітарний код ($m=2^n$). Це означає, що на довільному наборі вхідних змінних рівень логічної одиниці з'являється тільки на одному з виходів, при логічних нулях на інших $m-1$ виходах (або навпаки, якщо дешифратор має не прямі, а інвертовані виходи).

Дешифратори найчастіше застосовуються в пристроях управління для дешифрації операцій перетворення кодів і мікрокоманд в управляючі сигнали, в запам'ятовуючих пристроях для вибору комірок пам'яті при запису або зчитуванні інформації.

Для випадку двовходового дешифратора ($n=2, m=2^2=4$) його таблиця істинності буде мати наступний вигляд (табл 1.1).

Таблиця 1.1. Таблиця істинності двовходового повного двійкового нестробуємого дешифратора

Входи		Виходи			
x_1	x_0	y_3	y_2	y_1	y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

У відповідності до таблиці істинності такого дешифратора можливо зробити висновок, що при двох інформаційних виводах x_1, x_0 і чотирьох виводах y_3, y_2, y_1, y_0 , рівняння переходів для кожного з y_i виходів буде мати вигляд:

$$y_0 = \overline{x_1} \cdot \overline{x_0}, \quad y_1 = \overline{x_1} \cdot x_0, \quad y_2 = x_1 \cdot \overline{x_0}, \quad y_3 = x_1 \cdot x_0 \quad (1)$$

При такій системі позначень індекси i для системи вхідних сигналів y_i буде десятковим еквівалентом заданого на вході двійкового коду X . Наприклад, для $i=2$ десятковий еквівалент визначається за системою рівнянь (1) наступним чином:

$$i = x_1 \cdot 2^1 + \overline{x_0} \cdot 2^0 = 1 \cdot 2 + 0 \cdot 1 = 2 \quad (2)$$

По наявності у структурі дешифратора входу синхронізації C , розрізняють стро́буємі і нестро́буємі (синхронізовані і асинхронні) двійкові дешифратори.

У відповідності до системи рівнянь переходу (1) для двовходового повного двійкового дешифратора на рис.1 представлена відповідна функціональна схема дешифратора (а), його умовне графічне позначення для стро́буємого (в) і нестро́буємого (б) виконання.

На схемі рис.1.а інвертори DD1, DD2, DD3, DD4 називають адресними інверторами або адресними формувачами. Вони призначаються для того, щоб кожний із входів (x_0, x_1) представляв собою одиничне навантаження. Якщо до цієї схеми додати додатковий стро́буючий вхід C (вхід синхронізації, зображено пунктиром на рис.1), то отримаємо схему синхронізованого дешифратора, який при $C=1$ буде відпрацьовувати таблицю істинності, а при $C=0$, на всіх виходах $y_i=0$.

Відповідне рівняння переходів для стро́буємого дешифратора буде мати вигляд:

$$y_0 = \overline{x_1} \cdot \overline{x_0} \cdot C, \quad y_1 = \overline{x_1} \cdot x_0 \cdot C, \quad y_2 = x_1 \cdot \overline{x_0} \cdot C, \quad y_3 = x_1 \cdot x_0 \cdot C \quad (3)$$

Слід відмітити, що по входу C також ставлять інвертор, аналогічний DD1-DD4, але на схемі рис.1.а цей інвертор для спрощення не зображений. Пряма реалізація системи рівнянь (4.3.а) і (4.3.б) приводить до структури, що зображена на рис.1.а і яка називається одноступеневим (лінійним дешифратором).

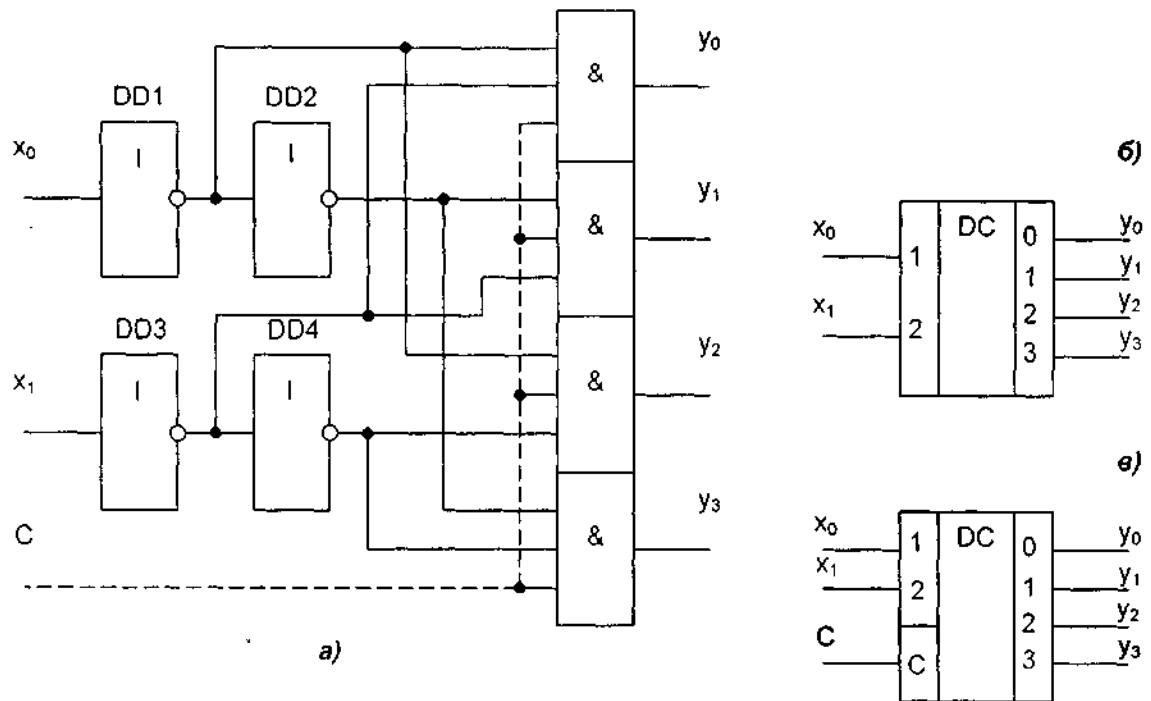


Рис.1. Функціональна схема дешифратора ("2"→"4") (а), його умовні графічні позначення для стробуємого (в) і нестробуємого (б) виконання

Для побудови багаторозрядних дешифраторів застосовують принцип каскадного з'єднання дешифраторів меншої розрядності. На рис.2 приведена схема побудови чотирьохступеневого ($n=4$) стробуємого дешифратора на базі дворозрядних стробуємих дешифраторів.

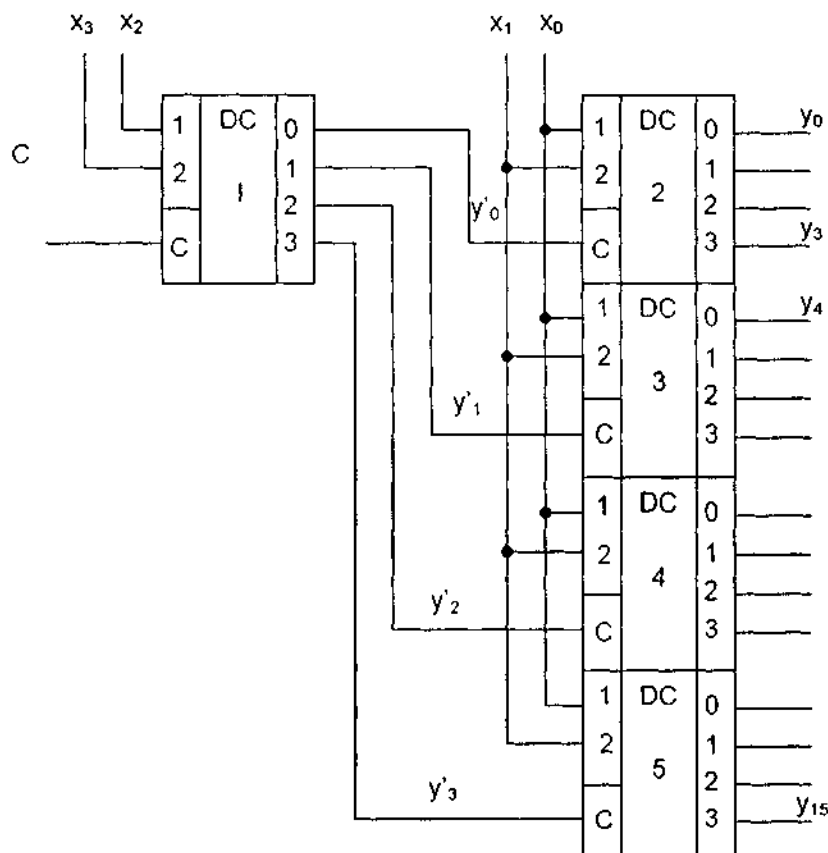


Рис.2. Схема чотирьохрозрядного стробуємого дешифратора ("4→16"), побудованого на базі дворозрядних дешифраторів за принципом каскадування.

1.2. Демультимплексори

Демультимплексор (від англ. demultiplexer) – це комбінаційний цифровий вузол, який здійснює операцію передачі сигналу з одного інформаційного входу на один з виходів. Демультимплексор має тільки один інформаційний вхід x і k адресних входів a_{k-1}, \dots, a_n , а також $n=2^k$ виходів.

Наприклад, для демультимплексора при $k=2$, $n=4$ відповідна система рівнянь переходів буде мати вигляд:

$$y_0 = \overline{a_1} \cdot \overline{a_0} \cdot x, \quad y_1 = \overline{a_1} \cdot a_0 \cdot x, \quad y_2 = a_1 \cdot \overline{a_0} \cdot x, \quad y_3 = a_1 \cdot a_0 \cdot x \quad (4)$$

Порівнявши рівняння (4) і (3) можливо зробити висновок, що функцію демультимплексора реалізує стробуємий дешифратор у випадку, якщо на вхід С подати інформаційний сигнал x , а входи дешифратора x_1 , x_0 використати як адресні входи демультимплексора a_1 , a_0 ($C \rightarrow x$, $x_1 \rightarrow a_1$, $x_0 \rightarrow a_0$). Таблиця істинності для такого демультимплексора представлена в таблиці 2.

Таблиця 2. Таблиця істинності демультимплексора "1"→"4"

Входи			Виходи			
інфо	адресні		y ₃	y ₂	y ₁	y ₀
x	a ₁	a ₀				
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

Відповідна структурна схема мультимплексора буде практично повторювати розглянуту вище схему дешифратора (рис.1.а) з введеною для демультимплексорів системою перепозначення функціонального призначення входів і виходів. Умовне графічне позначення демультимплексора "1→4" представлено на рис.3.

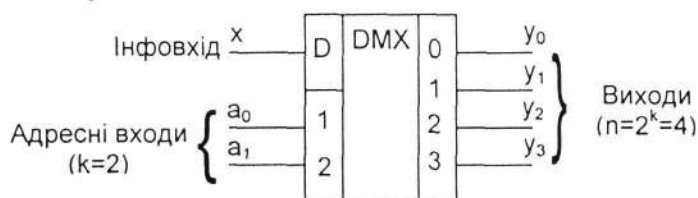


Рис.3. Умовне графічне позначення демультимплексора "1→4"

Завдання №1. Вивчення принципу роботи дешифратора "1→2", побудованого на БЛЕ І-НІ.

1. Найпростіший одновходовий асинхронний дешифратор типу "1→2" дуже просто побудувати на БЛЕ 2І-НІ, які входять до складу МС К155ЛА3. Схема дешифратора "1→2" представлена на рис.4.а, а її апаратна реалізація на базі МС ТТЛ К155ЛА3 зображена на рис.4.б. При цьому використовуються тільки три БЛЕ з чотирьох, тобто незадіяний елемент DD1.4 переводиться у одиничний вихідний стан (на виходах 12, 13 – лог. 0).
2. На лабораторному стенді ЛС-02 скласти схему для дослідження дешифратора "1→2" (рис. 2.в). Встановити і зафіксувати МС К155ЛА3 в панельці на стенді. Включити живлення і за показами контрольних приладів (РА1 і PV1, включених в коло живлення МС як і в попередніх лабораторних роботах) визначити $I_{сг}$ [mA] при напрузі живлення $U_{ж}$ [В]. Розрахувати $P_{сг}$.
3. Дослідити таблицю істинності дешифратора типу "1→2" (табл.3)

Таблиця 3. Таблиця істинності дешифратора типу "1→2"

Вхід	Виходи			
X	y ₁	U _{y1} , В	y ₀	U _{y0} , В
0				
1				
1,2,4,5	8	8	3	3

4. Виходячи з таблиці 3, записати систему рівнянь, яку відпрацьовує дешифратор "1→2".
5. Визначити потужність споживання при $x=0$ і $x=1$ та розрахувати $P_{сн.ср} = \frac{P_{сн}^0 + P_{сн}^1}{2}$ [mBm].

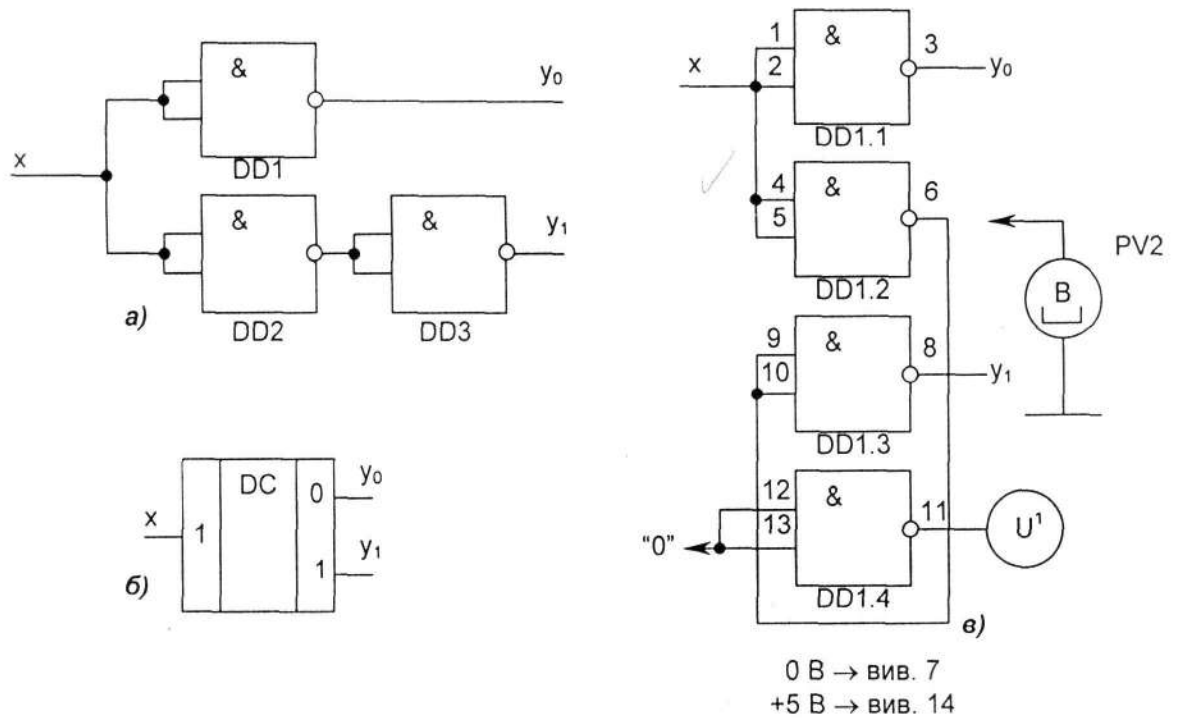


Рис.4. Принципова електрична схема (а), умовне графічне позначення (б) і практична реалізація (в) DC "1→2"

Завдання 2. Вивчення принципу роботи дешифраторів і демультиплексорів на базі МС ТТЛ К155ИД4.

Внутрішня структура МС ТТЛ середнього ступеня інтеграції К155ИД4 представлена на рис.5. За своїм функціональним призначенням ця МС є універсальним дешифратором-демультиплексором і допускає різні варіанти її застосування.

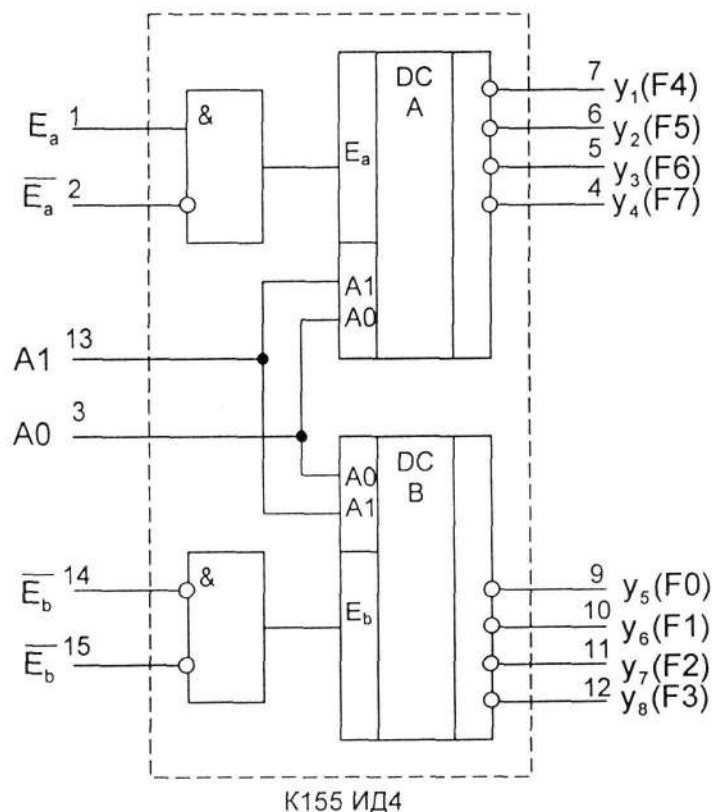


Рис.5. Структурна схема дешифратора на основі МС ТТЛ К155ИД4

Структурна схема К155ИД4 включає в себе незалежні дешифратори, які можуть приймати воровозрядні коди адреси А0 і А1:

перший дешифратор DC А має два роздільні входи дозволу – прямий E_a і інвертований $\overline{E_a}$ та два суміщені адресні входи А0 і А1;

- другий дешифратор DC В має два розділені інвертовані входи дозволу $\overline{E_b}$ та два сумісні адресні входи А0 і А1.

УВАГА! 1. Мікросхема К155ИД4 виконана у корпусі DIP-16, в якому +5В підключається до вивода 16, а 0В – відповідно, до вивода 8.
2. Всі виходи в цій мікросхемі інвертовані, тобто активним вихідним рівнем є рівень лог. 0.

2.1. Вивчення дешифратора типу "2→4" на основі МС ТТЛ К155ИД4.

- Для побудови дешифратора типу "2→4" на основі К155ИД4 використовується лише половина цієї мікросхеми за схемою, яка представлена на рис.6.

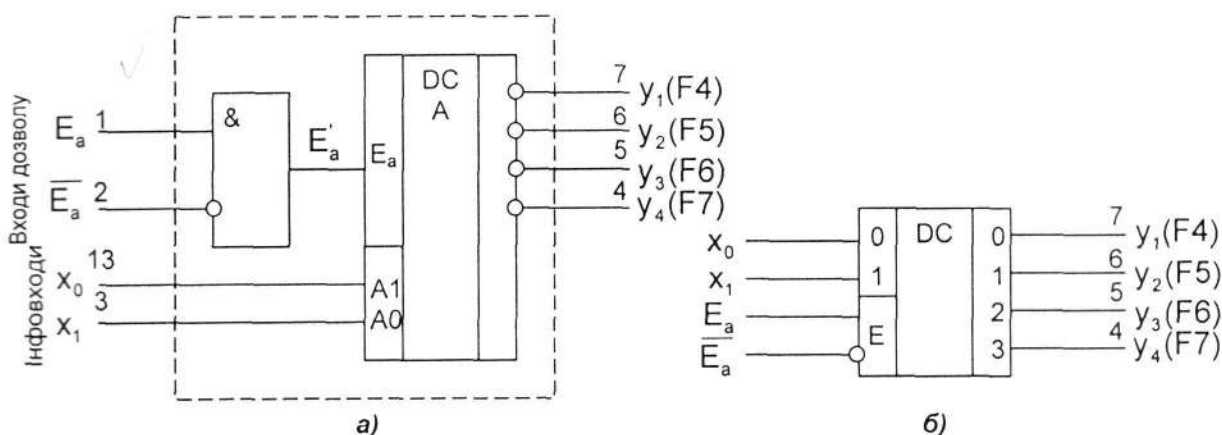


Рис.6. Структурна схема реалізації дешифратора "2→4" на базі половини МС К155ИД4 (а) та його умовне графічне позначення (б)

- Сигнал дозволу роботи дешифратора E_a' , як це впливає із схеми на рис.6.а, є рівним лог. 0 ($E_a' = 0$), що можливо лише при наступній комбінації сигналів на роздільних входах МС:

$$\overline{E_a} = 0; \quad E_a = 1, \quad (4)$$

в усіх інших випадках дешифратор працювати за відповідними рівняннями (1) не буде і на його виходах буде сигнал лог. 1. Такими випадками будуть наступні:

$$\overline{E_a} = 1 \quad i \quad E_a = 1 \quad \text{— нема дозволу по } \overline{E_a}, \quad (5)$$

$$\overline{E_a} = 0 \quad i \quad E_a = 0 \quad \text{— нема дозволу по } E_a. \quad (6)$$

- Ввести на стенд ЛС-02 картку з цоколювкою МС К155ИД4, вивчити її цоколювку. Скласти схему для досліджень дешифратора "2→4" (рис.6.а); встановити і зафіксувати мікросхему в панельці.

До виводів 8 і 16 підключити схему живлення з контрольними приладами РА1 і PV1.

- Включити живлення і дослідити розширену таблицю істинності, що описує роботу дешифратора "2→4" (див. табл. 4).

Таблиці 4. Таблиця істинності дешифратора "2→4" на базі МС ТТЛ К155ІД4

Інфовходи		Входи дозволу		Виходи $y_i (F_i)$				Режим роботи
x_1	x_0	E_a	$\overline{E_a}$	$y_4 (F3)$	$y_3 (F2)$	$y_2 (F1)$	$y_1 (F0)$	
×	×	0	×					Нема дозволу по E_a
0	0	1	0					Дозволений режим роботи DCA "2→4"
0	1	1	0					
1	0	1	0					
1	1	1	0					
×	×	×	1					Нема дозволу по $\overline{E_a}$
3	13	1	2	4	5	6	7	Номери виводів

Примітка: При заповненні таблиці 4 експериментальними даними необхідно врахувати наступні особливості запису:

позначення × означає довільне двійкове число (0 або 1);

у стовпчиках $y_i (F_i)$ записується логічний стан і відповідна величина напруги [В],

що вимірюється мультиметром PV2 M830B. Наприклад: $\frac{1}{3,75}$ або $\frac{0}{0,03}$

5. Під час проведення досліджень необхідно зафіксувати максимальний і мінімальний струм споживання, а також визначити середню споживану потужність в МС К155ІД4 в цьому режимі роботи за формулою:

$$P_{ср} = \left(\frac{I_{ср. min} + I_{ср. max}}{2} \right) \cdot U_{ж} \quad (7)$$

6. Після дослідження таблиці істинності виключити живлення і розібрати зовнішні комутуючі провідники.

На підставі тої частини таблиці істинності, в якій МС виконувала функції дешифратора "2→4", записати систему вихідних рівнянь y_i .

2.2. Вивчення дешифратора типу "3→8" на базі МС К155ІД4.

- Для побудови повного дешифратора типу "3→8" необхідно використати обидва дешифратора DC A і DC B (див. рис. 5), виконати зовнішню комутацію входів та зробити необхідне перепозначення входів і виходів у відповідності зі схемами на рис.7.
- Сигнал дозволу роботи обох дешифраторів E організовано шляхом паралельного з'єднання входів E_a і E_b . Активним сигналом, при якому дозволяється робота дешифратора, є $E=0$, в протилежному випадку реалізується режим заборони і на всіх виходах F_i зафіксується стан 1, який не буде змінюватись при довільних комбінаціях інфосигналів x_0, x_1, x_2 . Додатковий інформаційний вхід x_2 в такій схемі організовано шляхом сумісного використання входів дозволу $\overline{E_a}$ і $\overline{E_b}$.
- Скласти схему для досліджень (рис.6.а), включити живлення і дослідити розширену таблицю істинності дешифратора типу "3→8" (таблиця 5).

Таблиця 5. Таблиця істинності повного дешифратора "3→8".

Інфовходи			Вхід дозволу	Виходи F_i								Режим роботи
x_2	x_1	x_0	\overline{E}	F0	F1	F2	F3	F4	F5	F6	F7	
×	×	×	1									Нема дозволу
0	0	0	0									Дозволений режим роботи DC "3→8"
0	0	1	0									
0	1	0	0									
0	1	1	0									
1	0	0	0									
1	0	1	0									
1	1	0	0									
1	1	1	0									
1, 14	3	13	2, 15	9	10	11	12	7	6	5	4	Номери виводів

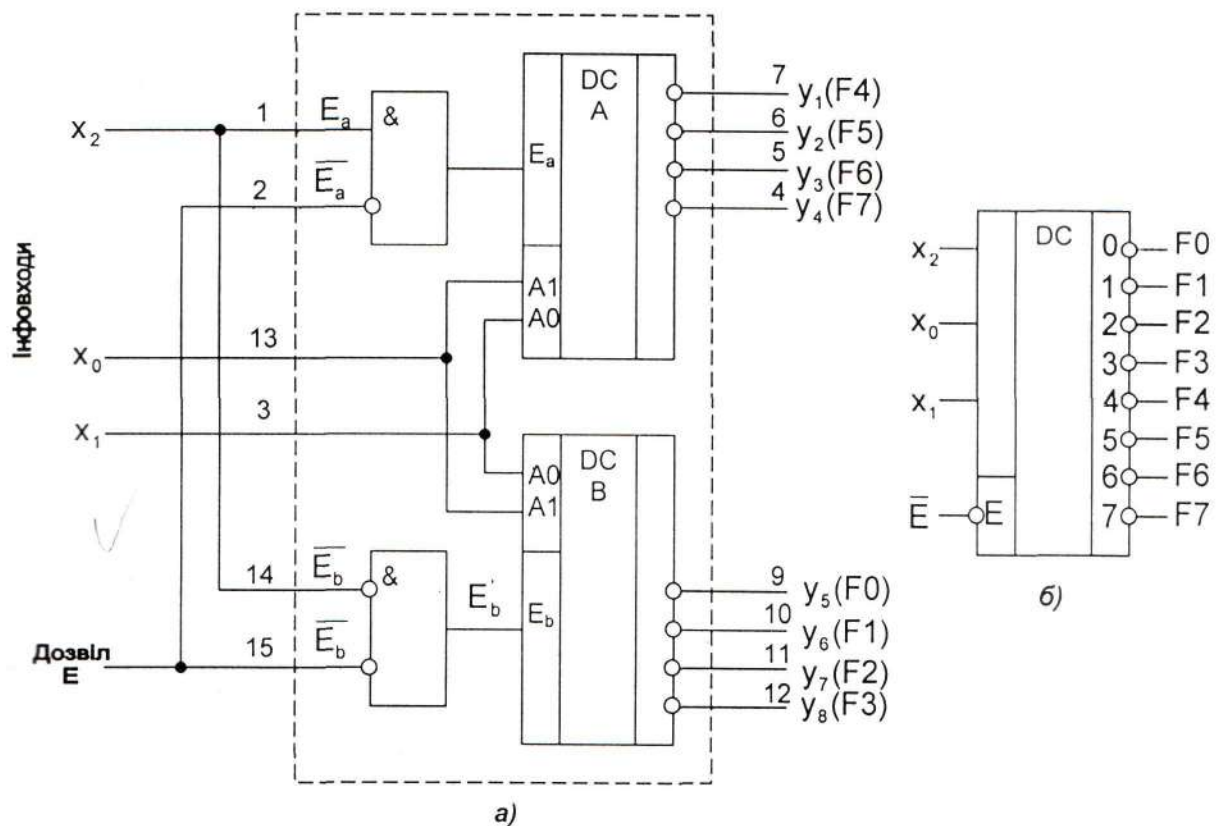


Рис.7. Схема побудови дешифратора "3→8" на базі МС К155ИД4 (а) і його умовне графічне позначення

4. Під час проведення досліджень необхідно зафіксувати максимальний і мінімальний струм споживання, а також визначити середню споживану потужність МС К155ИД4 в цьому режимі роботи за формулою (7).
5. Після закінчення досліджень виключити живлення і розібрати зовнішні комутаційні з'єднання. На підставі тої частини таблиці істинності, в якій МС виконує функції дешифратора "3→8", записати систему вихідних рівнянь F_j .

2.3. Вивчення мультимплексора типу "1→4" на основі МС ТТЛ К155ИД4.

1. Для побудови демультиплексора типу "1→4" використовується половина МС К155ИД4, а точніше лише схема з дешифратором DC A (див. рис.6). При цьому вихідна схема дешифратора не потребує додаткових зовнішніх з'єднань і необхідно виконати тільки комутаційне перепозначення функціонального призначення виводів. Для цього необхідно виконати наступні перепозначення (див. схему на рис.8):
 - провід x , на якому має бути зафіксований рівень лог. 0, що передається на вихідні виводи y_i , організується на базі входу дозволу E_a (вивід 2);
 - вхід дозволу для демультиплексора E залишається функціонально прив'язаним до входу дозволу DCA E_a (вивід 1);
 - адресні виводи демультиплексора a_0 , a_1 призначаються без зміни індекса адресних входів дешифратора $A0$, $A1$.

3.43/1

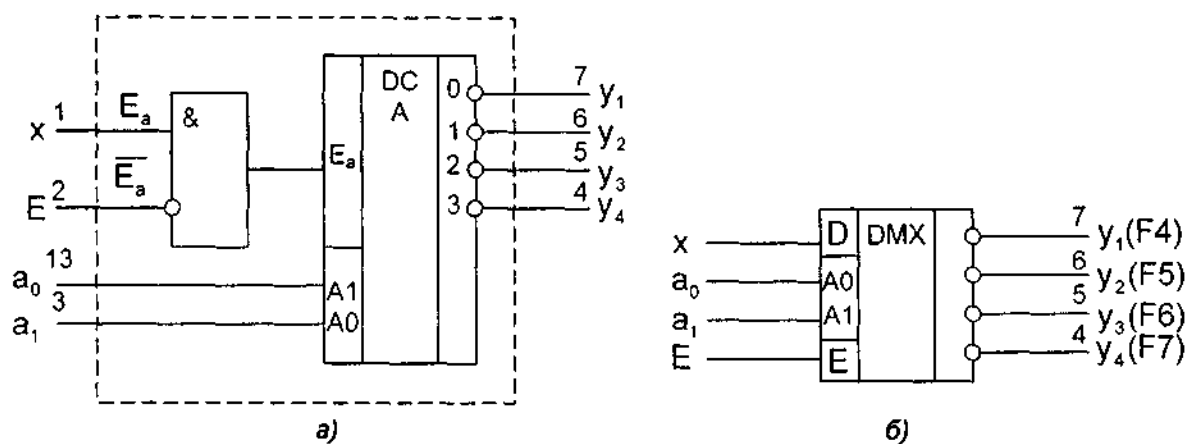


Рис.8. Схема побудови демультиплексора типу "1→4" на базі МС К155ІД4 (а) та його умовне позначення (б)

2. Скласти схему для дослідження демультиплексора (рис. 8), включити живлення і дослідити розширену таблицю істинності (таблиця 6).

Таблиця 6. Таблиця істинності демультиплексора типу "1→4"

Адресні входи		Інфровхід	Вхід дозволу	Виходу y_i				Режим роботи
a_1	a_0	x	E	y_4	y_3	y_2	y_1	
x	x	0	x					Нема дозволу по E_a
0	0	1	0					Дозволений режим роботи DCA "1→4"
0	1	1	0					
1	0	1	0					
1	1	1	0					
x	x	x	1					Нема дозволу по $\overline{E_a}$
3	13	1	2	4	5	6	7	Номери виводів

3. Під час проведення досліджень необхідно зафіксувати максимальний та мінімальний струми споживання, а також визначити середню споживану потужність МС К155ІД4 в цьому режимі роботи за формулою (7).
4. Після закінчення досліджень виключити живлення і розібрати щовнішні комутаційні з'єднання. Для дозволеного режиму роботи демультиплексора записати систему вихідних рівнянь y_i .

Лабораторна робота №4

Вивчення різних структур тригерів

Мета роботи: Вивчити роботу й дослідити таблицю переходів різних схемних різновидів тригерів, реалізованих на елементах І-НІ, АБО-НІ та у інтегральному виконанні

1. Короткі теоретичні відомості

1.1 Загальні положення визначення

Тригером називається послідовнісний елемент цифрових схем, який може знаходитись в одному з двох стійких станів, а також багаторазово переходити з одного стану в інший. Для зручності використання тригери мають два виходи: прямий (Q) й інверсний (\bar{Q}). При цьому якщо $Q = 0, \bar{Q} = 1$ - тригер перебуває у нульовому стані, а при $Q = 1, \bar{Q} = 0$ тригер - в одиничному стані. Таким чином, тригер є елементарним однорозрядним елементом пам'яті.

Якщо в деякий момент t_n на тригер, який перебуває у стані Q_n , надходять інформаційні сигнали, то це приведе до переходу тригера в наступний момент часу t_{n+1} до стану Q_{n+1} , тобто

$$Q_{n+1} = f(x_m, Q_n) \quad (1)$$

Залежність Q_{n+1} не тільки від x_m , але й від Q_n , а також існування для деяких типів тригерів заборонних комбінацій по x_m , приводить до того, що можливі наступні п'ять логічних станів вихідного сигналу Q_{n+1} :

- $Q_{n+1} = 0$ – тригер перебуває у нульовому стані;
- $Q_{n+1} = 1$ – тригер перебуває у одиничному стані;
- $Q_{n+1} = Q_n$ – стан тригера не змінюється при варіації вхідних сигналів x_m ;
- $Q_{n+1} = \bar{Q}_n$ – стан тригера змінюється на протилежний при зміні вхідних сигналів x_m ;
- $Q_{n+1} = *$ - невизначений (заборонений) стан, який іноді позначається – ЗБ, н/о, \emptyset .

Входи тригерів поділяють на *інформаційні* та *керувальні*.

Інформаційні сигнали, що подаються на відповідні входи, визначають вихідний стан тригера, а керувальні сигнали застосовуються для синхронізації та попереднього встановлення тригерів в потрібний стан. Кількість входів може бути різною, залежно від структури, але найчастіше зустрічаються наступні можливі типи входів (рис.1):

- S_y, R_y - входи предвстановлення;
- $x_1 \dots x_m$ - інформаційні входи, стан сигналів на яких визначається одним із п'яти можливих вихідних станів Q_{n+1} тригера;
- $c_1 \dots c_p$ - входи синхронізації, стан сигналів на яких, визначає момент часу t_{n+1} , в який здійснюється перехід тригера в той стан, що заданий інформаційними сигналами x_m ;
- $v_1 \dots v_k$ - керувальні входи, сигнали на яких дозволяють проходження інформаційних x_m та синхросигналів C_p тригера та дають дозвіл на його роботу.

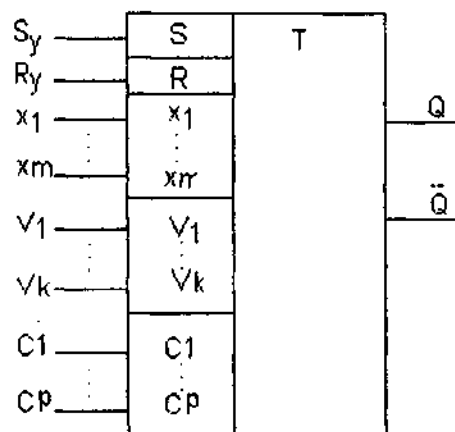


Рис.1. Узагальнене умовне графічне позначення тригера і всі можливі варіанти реалізації інформаційних і керувальних входів.

В залежності від кількості і функціонального призначення інформаційних виходів x_m тригерні структури поділяються на наступні типи:

- RS – тригери, які мають вхід S для встановлення в одиничний стан (Set – встановлення) і вхід R для встановлення в нульовий стан (Reset – скидання). Тригери, які мають інверсні входи $\bar{R}\bar{S}$, називають RS – тригерами з інверсними входами;
- JK – тригери, які мають інформаційний вхід K для встановлення в нульовий стан (Kill – раптове відключення) і вхід J для встановлення в одиничний стан (Jack – раптове включення);
- D – тригери (Delay – затримка), які мають один інформаційний вхід D, стан сигналів на якому встановлює тригер в одиничний або нульовий стан;
- DV – тригери, які працюють як звичайні D- тригери при $V=1$ і зберігають попередній вихідний стан Q_n , якщо $V=0$;
- T – тригери, які мають один інформаційний вхід T (Toggle- релаксатор) і називаються лічильними тригерами.

В залежності від присутності синхровходів Cp тригери поділяються на асинхронні і синхронні. Якщо тригер не має жодного синхровходу C (Clock- первинне джерело сигналів синхронізації), то він називається асинхронним і момент зміни вихідного сигналу визначається моментом надходження сигналів x_m . При наявності синхровходів тригери називаються синхронними і їх прийнято класифікувати за способом приймання вхідної інформації та за принципом передачі сприйнятої інформації до виходу.

По способу приймання інформації виділяються дві групи:

- тригери із статичним керуванням, що керуються рівнем сигналів синхронізації;
- тригери з динамічним входом синхронізації, що керуються фронтом сигналів синхронізації.

Синхронний тригер, що керується рівнем синхросигналів, саприймає тільки ті інформаційні сигнали, які з'являються на його входах на протязі всієї тривалості імпульсу синхронізації. Синхронний тригер, що керується фронтом синхросигналів, саприймає тільки ті інформаційні сигнали, які співпадають з надходженням переднього (або заднього) фронту синхросигналу.

За принципом передачі сприйнятливості інформації синхронні тригери поділяються на тригери з однією (одноступінчасті) і двома (двоступінчасті) ступенями запам'ятовування інформації.

Закони функціонування тригерів можуть задаватись:

- описом на словах;
- таблицею переходів тригера, тобто таблицею інформаційних сигналів x_m , внутрішніх станів тригера Q_n та вихідних сигналів після спрацьовування Q_{n+1} ;
- характеристичним рівнянням, тобто логічними функціями у вигляді рівняння типу (1); у вигляді графів.

Скорочена таблиця переходів RS- тригера встановлює залежність між станом сигналів на входах R і S та вихідним сигналом Q_{n+1} (див. таб. 1) без врахування попереднього вихідного стану Q_n .

Таблиця 1. Скорочена таблиця переходів RS- тригера

R	S	Q_{n+1}	Режим роботи
0	0	Q_n	Збереження
0	1	1	Встановлення у 1
1	0	0	Скидання у 0
1	1	*	Невизначений (заборонений)

Умовне графічне позначення асинхронного RS-тригера з прямими входами і граф його функціонування представлені, відповідно, на рис.2.б,г.

1.3 Асинхронний RS- тригер з інверсним входами (RS-тригер)

Логічна структура цього різновиду RS- тригерів може бути побудовано на основі ЛЕ I-HI (рис.3.а). В цьому випадку активним логічним рівнем на виході буде рівень лог.0, пасивним – лог. 1. Для того, щоб формально активними були, як і в попередньому RS-тригері, вхідні сигнали $S=1$ і $R=1$, будемо рахувати, що на входи подаються інверсії \bar{S} і \bar{R} . Тоді при $\bar{S} = 1$ (або $\bar{R} = 1$) отримується інверсія $S=0$ (або $R=0$) і на вході тригера буде діяти активний рівень лог. 0. Друга зручність такого підходу при виборі вхідних величин полягає у тому, що тригер з інверсними входами формально описується тією ж таблицею Вейга (рис.2.в), що і тригер з прямими входами (див. умовне графічне позначення на рис.3.б).

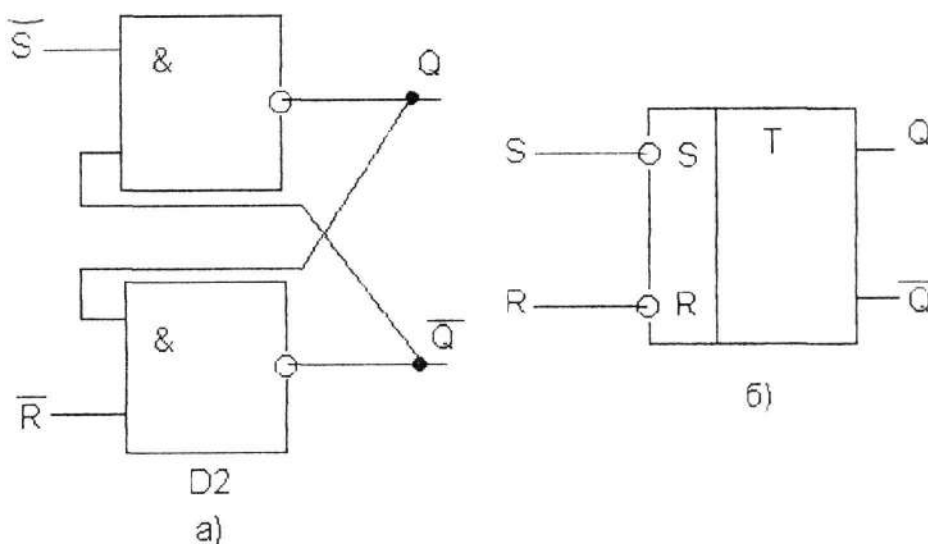


Рис.3 Логічна структура асинхронного $\bar{R}\bar{S}$ - тригера на елементах I-HI(а), та його умовне графічне позначення (б)

Розглянемо можливі стійкі стани $\bar{R}\bar{S}$ - тригера. Якщо на входах діють пасивні рівні $S=0$ і $R=0$ ($\bar{S}=1, \bar{R}=1$), то в стані 0 тригера цей рівень передається на вхід елемента D2 і викликає на його виході появу стану $\bar{Q}=1$; це значення з виходу елемента D2 подається на вхід D1 присутній рівень лог.1, то на виході встановиться стан $Q=0$. Аналогічно визначається другий стійкий стан (збереження 1) тригера.

1.2 Асинхронний RS – тригер з прямими входами

Логічна структура такого RS – тригера представлена на рис. 2. а. Тригер побудований на двох ЛЕ АБО-Ні, з'єднаних таким чином, що вихід кожного елемента підключається до одного із входів іншого. Таке з'єднання ЛЕ в структурі тригера забезпечує два стійких стани, що виникають в наступних ситуаціях.

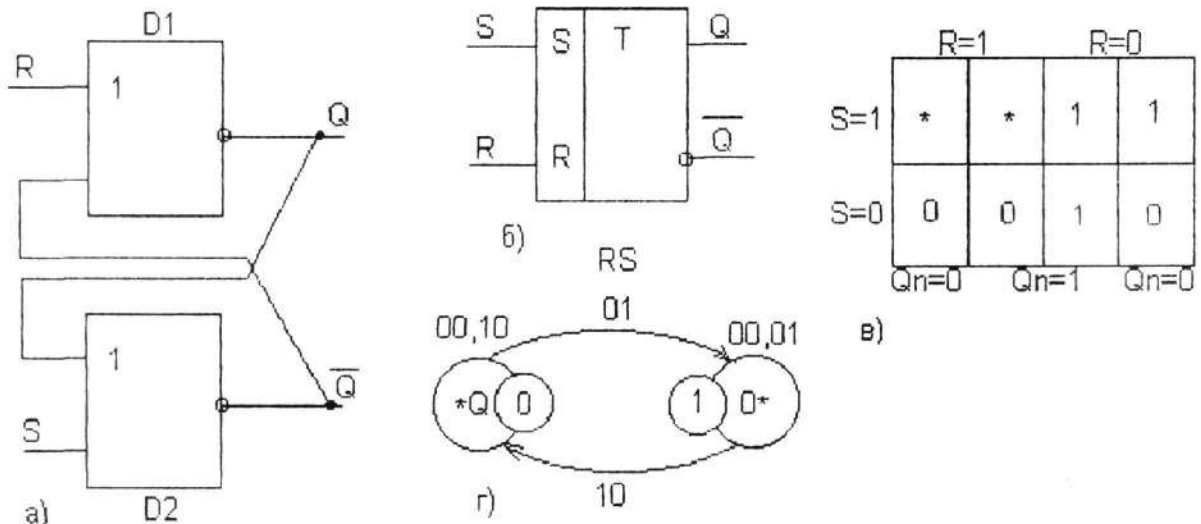


Рис.2 Логічна структура RS- тригера на елементах АБО-НІ(а), його умовне графічне позначення (б), таблиця станів у вигляді діаграми Вейча (в), граф функціонування (г).

Якщо на входах R і S діють пасивні для ЛЕ АБО-НІ рівні лог.0, то вони не впливають на стан тригера. В стані 0 тригера на виході елемента D1 маємо $Q=0$; це значення подається на вхід елемента D2; при цьому на обох входах елемента D2 діють рівні лог.0, а на його виході $\bar{Q}=1$; з виходу елемента D2 це значення надходить на вхід D1, що забезпечує на його виході $Q=0$. Це один із стійких станів тригера. В стані 1 тригера на вході D1 маємо $Q=1$, що обумовлює на виході D2 стан $\bar{Q}=0$, при цьому на обох входах D1 діють рівні лог.0, що забезпечує появу на виході цього елемента рівня лог.1. Таким чином, в кожному із станів тригера ЛЕ D1,D2 будуть знаходитись у протилежних станах.

Переключення тригера з одного стійкого стану в інший виконується при події активних сигналів на його входи. Так, при $R=1$ елемент D1 встановлюється в стан, при якому на його виході $Q=0$, відповідно на інверсному вході $\bar{Q}=1$ і таким чином тригер встановлюється в стан 0. Якщо тригер до подачі сигналу $R=1$ знаходився у стані 0, то його стан в цьому випадку не зміниться. Якщо ж тригер знаходився в стані 1, то при $R=1$ буде мати місце переключення елемента D1 і на його виходах встановлюється стан $Q=0$; це значення подається на вхід елемента D2, перемикає його і на вході D2 встановлюється $\bar{Q}=1$, після чого тригер опиняється у стані 0. Процес встановлення тригера в стан 1, при подачі на вхід $S=1$ є аналогічним попередньому випадку.

Одночасна подача активних рівнів лог.1 на обидва входи R і S не допускається, так як при цьому на обидвох виходах встановлюється рівень лог.0, а після зняття з виходів активних логічних рівнів стан тригера виявиться невизначеним (позначається *): в силу випадкових обставин тригер може встановитися або у стан 0, або у стан 1. На рис. 2 введена таблиця станів RS- тригера у вигляді таблиці Вейча. Із неї можливо отримати характеристичні рівняння, яке визначає функціонування RS- тригера:

$$Q_{n+1} = S \vee (\bar{R} \cdot Q_n) \quad (2)$$

При подачі активного рівня $\bar{Q} = 0$ ($S=1$) на виході D1 встановлюється стан $Q=1$, а на виході D2- стан $\bar{Q} = 0$ і тригер переходить в одиничний вихідний стан. При подачі активного рівня $\bar{R} = 0$ ($R=1$) тригер встановлюється в нульовий вихідний стан. Так як і для тригера з прямими входами, одночасна подача активних логічних рівнів на обидва входи є забороненою комбінацією, тобто коли одночасно $\bar{S} = 0, \bar{R} = 0$ тригер перебуває у стані невизначеності.

Такий порядок функціонування $\bar{R}\bar{S}$ - тригера описується характеристичним рівнянням:

$$Q_{n+1} = \bar{S} \vee (R * Q_n). \quad (3)$$

Скорочення таблиця переходів асинхронного $\bar{R}\bar{S}$ - тригера є аналогом відповідної таблиці для RS- тригера з прямими входами, але враховує інверсію для забезпечення активного рівня вхідних сигналів (див.таб.2)

Таблиця 2. Скорочена таблиця переходів асинхронного $\bar{R}\bar{S}$ - тригера

\bar{R}	\bar{S}	Q_{n+1}	Режим роботи
0	0	*	Невизначений (заборонений)
0	1	0	Скидання у 0
1	0	1	Встановлення у 1
1	1	Q_n	Збереження

1.4 Синхронні RS- тригери із статичним керуванням

Синхронний тригер RS- структури відрізняється від асинхронного лише тим, що має додатковий керувальний вхід (вхід синхронізації або тактування). При цьому синхронний RS- тригер із статичним керуванням реагує на зміну сигналів на інформаційних входах тільки на протязі часу дії активного рівня сигналу C. Саме тому такі зміни на виході R і S допускаються тільки при відсутності сигналів на вході синхронізації.

Логічні структури синхронних RS тригерів легко побудувати використовуючи базові структури асинхронних RS- тригерів і додаткових вентильних схем на ЛЕ I(I-II), до яких підключаються інформаційні входи R,S та вхід синхронізації C (рис.4 а,б).

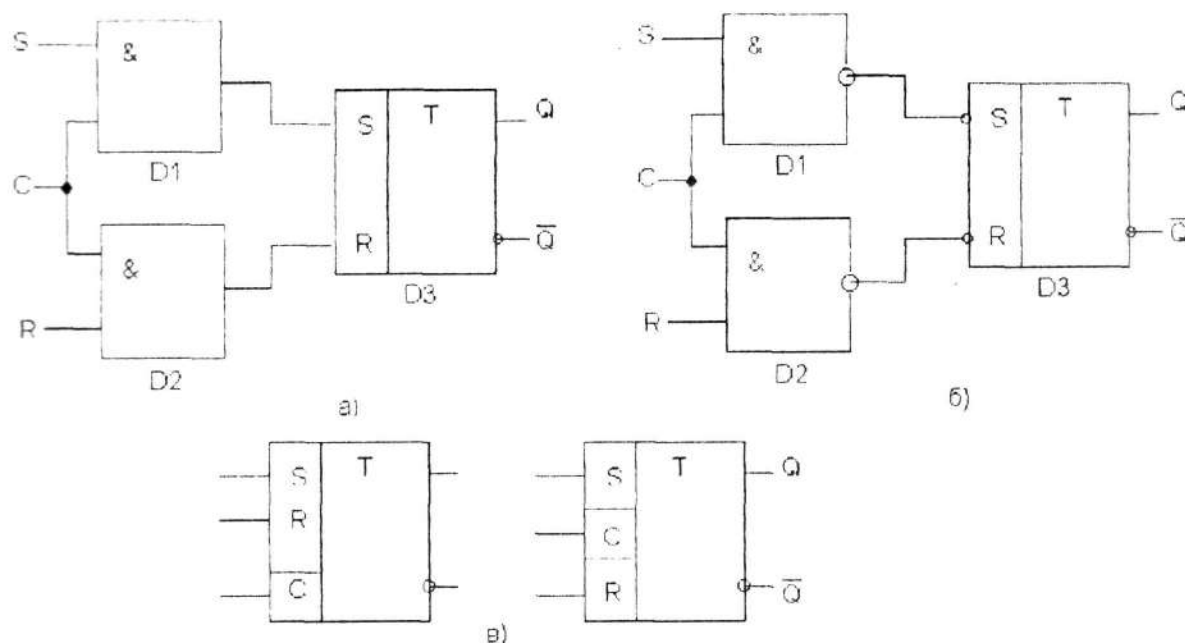


Рис.4 Логічні структури синхронних RS- тригерів на базі асинхронних RS(а) і $\bar{R}\bar{S}$ - тригерів(б);варіанти умовного графічного позначення (в).

За допомогою вентельних схем на ЛЕ I (I-II) забезпечується передача активних логічних рівнів з інформаційних входів S і R синхронного тригера на R і S асинхронного тригера, що входить до його складу, лише в тому випадку коли, на вході синхронізації буде встановлено рівень лог. 1.

Таким чином, при $C=0$ на вході асинхронного тригера не передаються активні рівні і тригер зберігає раніше встановлений рівень Q_n . При $C=1$ стан тригера визначається діючими на його входах сигналами аналогічно, як у розглянутому вище асинхронному RS-тригері дорівнюється стовпчиком для запису стану на вході C (див. табл. 3) і описується наступним характеристичним рівнянням:

$$Q_{n+1} = \bar{C} \cdot Q_n + VC \cdot (SVRQ_n) \quad (4)$$

Таблиця 3. Скорочена таблиця переходів синхронного RS - тригера

C	R	S	Q_{n+1}	Режим роботи
0	x	x	Q_n	Зберігання при відсутності синхронізації
1	0	0	Q_n	Зберігання
1	0	1	1	Встановлення у 1
1	1	0	0	Скидання у 0
1	1	1	*	Невизначений (заборонений)

1.5 Асинхронний і синхронний D – тригери

Асинхронний тригер D – типу має лише один інформаційний вхід D, стан сигналів на якому до спрацьовування визначає вихідний стан Q_{n+1} . Додавання до асинхронного D – тригера додаткового керувального входу C, на який подається синхросигнал, дозволяє легко отримати структуру синхронного D - тригера (рис. 5,а,б).

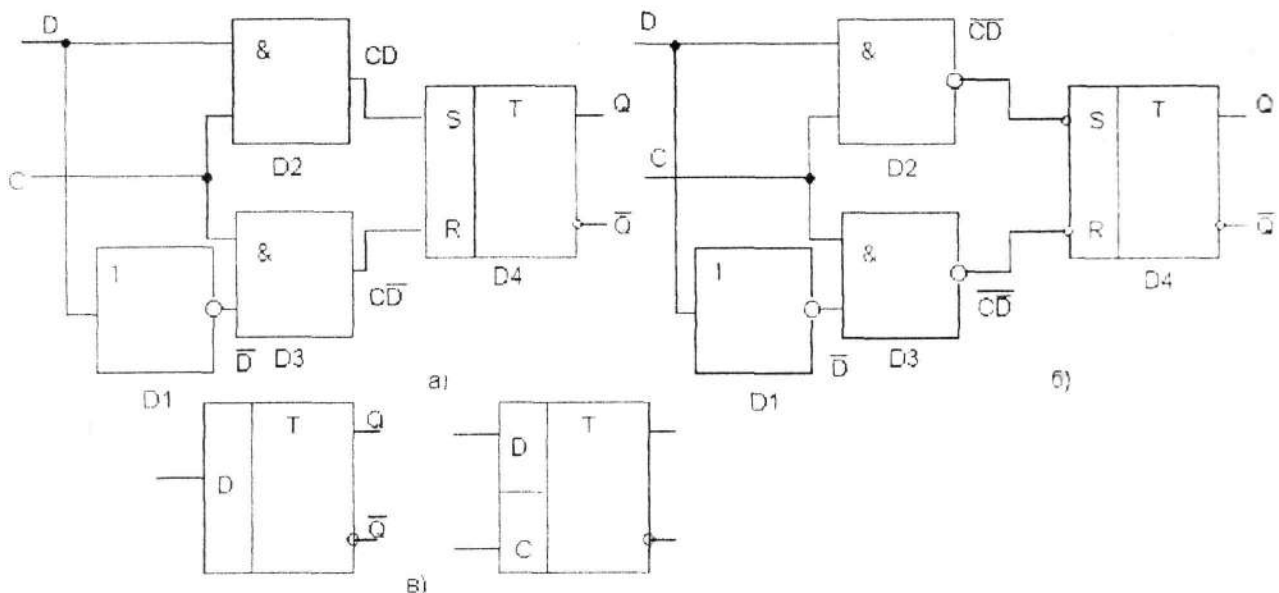


Рис.5 Типові структури синхронних D – тригерів (а, б) та умовно графічне позначення асинхронного і синхронного тригерів (в).

Функціонування асинхронного тригера D – типу визначається наступним характеристичним рівнянням:

$$Q_{n+1} = D_n \quad (5)$$

і найпростішою таблицею переходів (див. нижню частину табл. 4). Для синхронного D – тригера рівняння має вигляд:

$$Q_{n+1} = \bar{C} \cdot Q_n \cdot \bar{V}C \cdot D_n \quad (6)$$

В таблиці 4 представлені можливі комбінації вхідних сигналів, які визначають скорочену таблицю переходів синхронного D – тригера.

Таблиця 4. Скорочена таблиця переходів синхронного D – тригера

C	R	Q_{n+1}	Режим роботи
0	x	Q_n	Зберігання при відсутності синхронізації
1	0	0	Режим асинхронного D - тригера
1	1	1	

Таким чином D – тригер сприймає інформацію з входу D при C=1 і потім може її зберегти на протязі тривалого часу, доки C=0.

Завдання 1. Вивчення роботи асинхронного RS - тригера на ЛЕ АБО – НІ.

1. Структуру асинхронного RS - тригера реалізувати на основі двох ЛЕ АБО – НІ, що входять до складу мікросхеми ТТЛ К155ЛЕ 1 (4×2АБО – НІ). Незадіяні входи двох невикористаних ЛЕ з'єднати з лог.0. В коло живлення включити контрольні прилади PA1 і PV1 для визначення споживаної потужності $P_{cm} = I_{cm} \cdot U_{cc}$. Схема для досліджень представлена на рис.6.
2. Перевірити правильність підключення виводів за схемою для досліджень на стенді ЛС-02 і зафіксувати мікросхему К155ЛЕ1 в панельці. Включити живлення і виконати всі контрольні операції на стенді.
3. Користуючись джерелом логічних сигналів, яке розміщене на стенді, дослідити розширену таблицю переходів RS - тригера і результати записати в табл. 5.

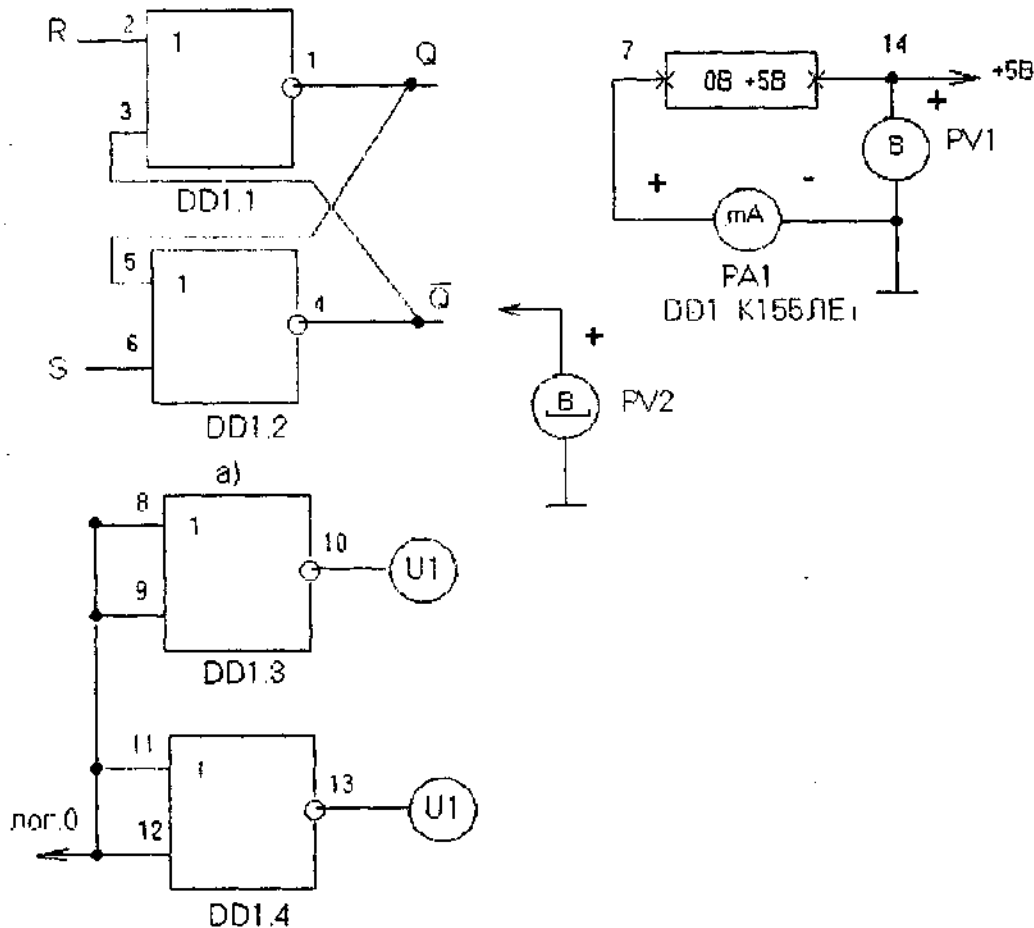


Рис. 6 Схема для дослідження асинхронного RS – тригера на основі К155ЛЕ1.

Таблиця 5. Розширена таблиця переходів асинхронного RS -тригера на основі ЛЕ 2АБО-НІ

t_n			t_{n+1}		Режим роботи
S	R	Q_n	Q_{n+1}	$U_{Q,B}$	
0	0	0			
1	0	0			
0	1	0			
1	1	0			
0	0	1			
1	0	1			
0	1	1			
1	1	1			
6	2	1	1	1	Номера виводів МС

$U_{ж} =$ [В]
 $I_{сп.сп.} =$ [мА]
 $P_{сп.сп.} =$ [мВт]

- Визначити і записати в таблицю 5 режим роботи RS -тригера.
- Визначити, якою буде реакція тригера на заборонену комбінацію сигналів R і S (зафіксувати в таблиці стан на виходах Q і \bar{Q} при $R=S=1$).
- Виключити живлення і розібрати схему.
- Скласти характеристичне рівняння для асинхронного RS -тригера, реалізованого на елементах АБО – НІ.
- Скласти скорочену таблицю переходів RS -тригера.

Завдання 2. Вивчення роботи асинхронного \overline{RS} -тригера на ЛЕ 1 – НІ.

- Структуру асинхронного \overline{RS} -тригера реалізувати на основі двох ЛЕ 1 – НІ, що входять до складу мікросхеми ТТЛ К155ЛА 3 (4×2І – НІ). Схема для досліджень представлена на рис.7.
- Виконати операції згідно п.п 2,3 попереднього завдання. Результати дослідження \overline{RS} -тригера занести у таблицю 6.

Таблиця 6. Розширена таблиця переходів асинхронного \overline{RS} -тригера на основі ЛЕ 2І-НІ

t_n			t_{n+1}		Режим роботи
S	R	Q_n	Q_{n+1}	$U_{Q,B}$	
0	0	0			
1	0	0			
0	1	0			
1	1	0			
0	0	1			
1	0	1			
0	1	1			
1	1	1			
1	5	3	3	3	Номера виводів МС

$U_{ж} =$ [В]
 $I_{сп.сп.} =$ [мА]
 $P_{сп.сп.} =$ [мВт]

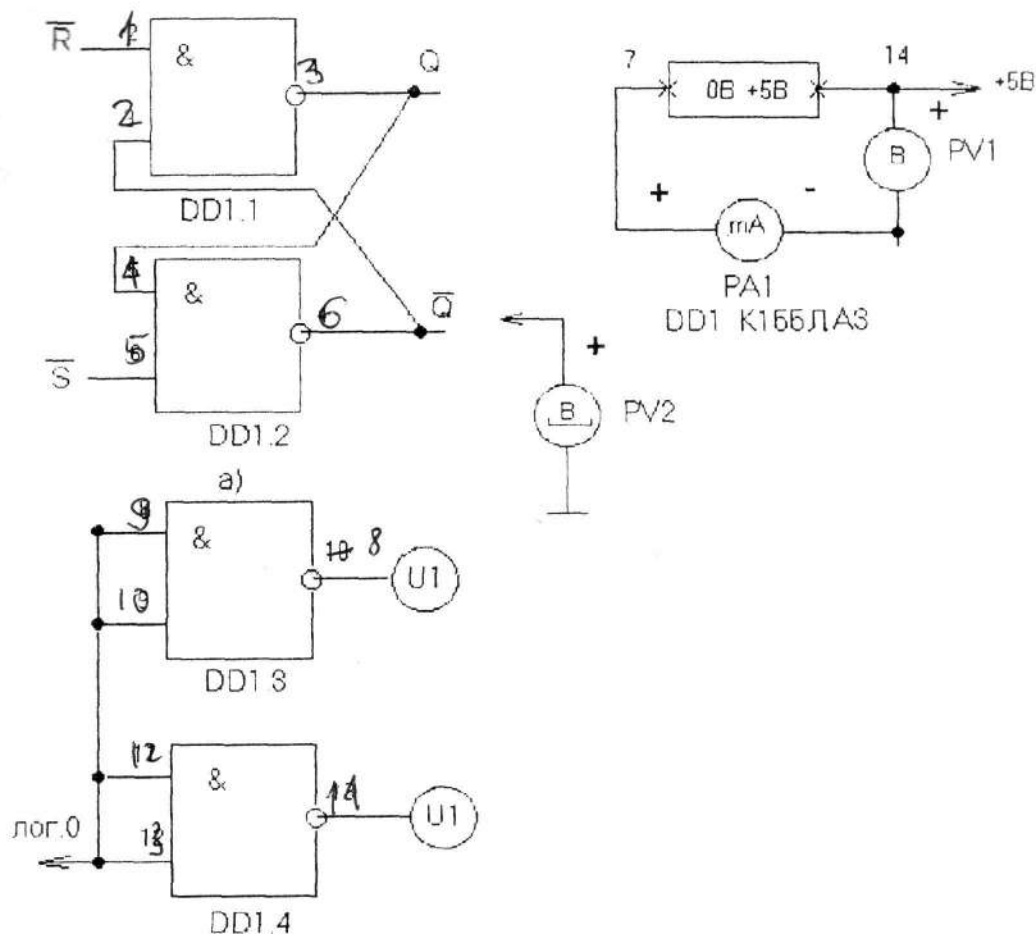


Рис. 7 Схема для дослідження асинхронного \overline{RS} - тригера на основі К155ЛА3.

3. Визначити, якою буде реакція тригера на заборонену комбінацію сигналів R і S (зафіксувати в таблиці стан на виходах Q і \overline{Q} при $\overline{R} = \overline{S} = 0$).
4. Виключити живлення і розібрати схему.
5. Скласти характеристичне рівняння для асинхронного \overline{RS} - тригера, реалізованого на елементах І – НІ.
6. Скласти скорочену таблицю переходів \overline{RS} - тригера.

Завдання 3. Вивчення роботи синхронного RS - тригера ЛЕ І – НІ.

1. Структуру синхронного RS - тригера реалізувати на основі двох мікросхеми ТТЛ К155ЛА3 за класичною схемою (див. рис. 4.6), при цьому використовуються всі ЛЕ І – НІ, що входять до складу цієї мікросхеми.
2. Для виконання досліджень зібрати на стенді ЛС – 02 схему для досліджень синхронного RS - тригера в статичному режимі. Схема для досліджень представлена на рис.8.

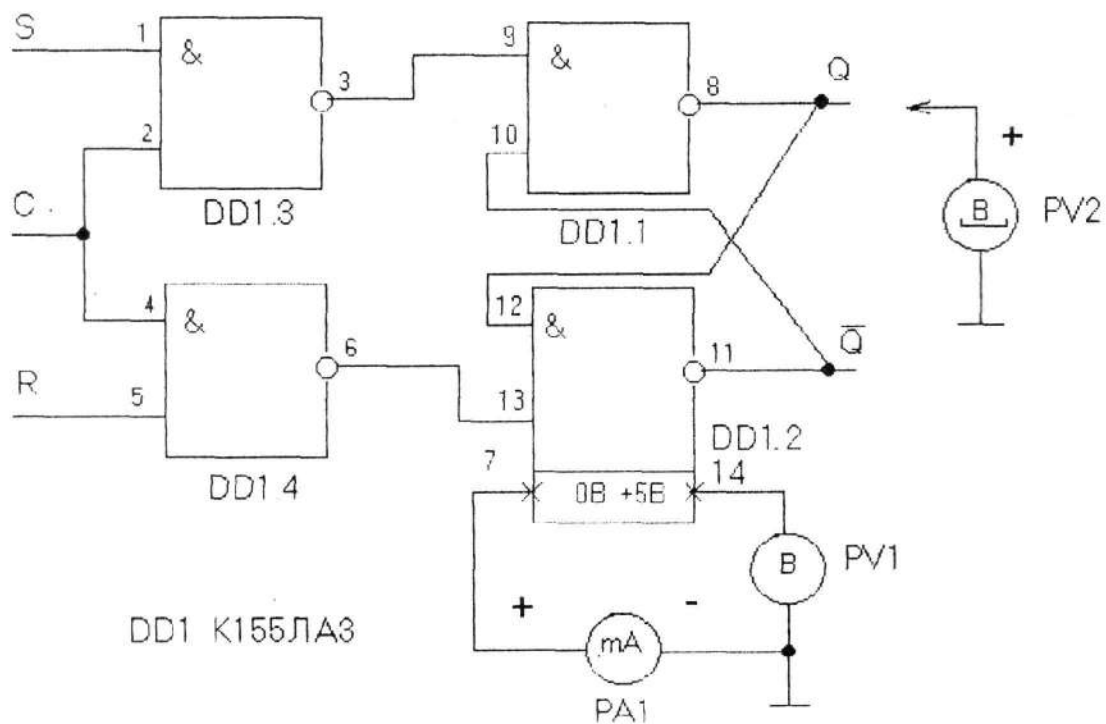


Рис. 8. Схема для дослідження синхронного RS - тригера на основі K155ЛА3.

- Виконати всі контрольно – відлагоджувальні операції на стенді (див. п.п. 2;3 завдання1). Результати дослідження тригерної структури занести в таблицю 7. Визначити основні режими роботи.
- Визначити і відмітити в таблиці 7 якою буде реакція тригера на заборонену комбінацію $R = S = 1$ в двох випадках : $C=0$ і $C=1$. Пояснити в чому полягає різниця між цими випадками.
- Виключити живлення і розібрати схему.
- Скласти характеристичне рівняння для асинхронного RS - тригера, реалізованого на елементах I – НІ.
- Скласти скорочену таблицю переходів досліджуваної тригерної структури.
- Визначити пріоритет входних сигналів S, R, C . Побудувати формалізовану чисельну діаграму функціонування синхронного RS - тригера
- Запропонувати структурну схему синхронного RS - тригера, реалізованого на ЛЕ 2АБО-НІ.

Таблиця 7. Розширена таблиця переходів синхронного RS -тригера на основі ЛЕ 2І-НІ

t_n t_n				t_{n+1} t_{n+1}		Режим роботи
C	S	R	Q_n	Q_{n+1}	U_a, B	
1	0	0	0			
1	0	0	1			
1	1	0	0			
1	1	0	1			
1	0	1	0			
1	0	1	1			
1	1	1	0			
1	1	1	1			
0	0	0	0			
0	0	0	1			
0	1	0	0			
0	1	0	1			
0	0	1	0			
0	0	1	1			
0	1	1	0			
0	1	1	1			
2,4	1	5	8	8	8	Номера виводів МС

$$U_{ж} = [B]$$

$$I_{сп.сп.} = [mA]$$

$$P_{сп.сп.} = [mBT]$$

Завдання 4. Вивчення роботи синхронного D -тригера на ЛЕ І – НІ.

- Структуру синхронного D -тригера реалізувати на основі мікросхеми ТТЛ К155ЛА3 за схемою, приведеною на рис. 9, при цьому використовуються всі ЛЕ І – НІ, що входять до складу цієї мікросхеми. Зібрати схему на стенді ЛС – 02.

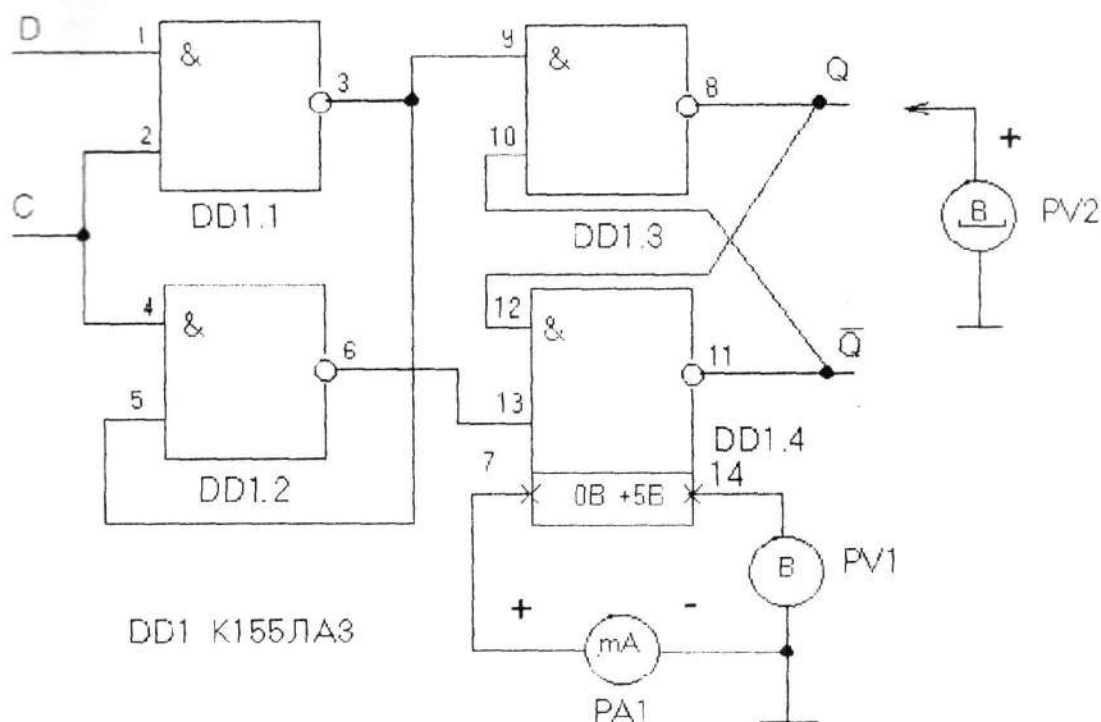


Рис. 9. Схема для дослідження синхронного D -тригера на основі К155ЛА3

- Виконати всі контрольні – відлагоджувальні операції. Результати дослідження D -тригера занести в таблицю 8.

Таблиця 3. Розширена таблиця переходів асинхронного D -тригера на основі ЛЕ 2I-HI

C	t_n		t_{n+1}		Режим роботи
	D	Q_n	Q_{n+1}	U_Q, B	
0	0	0			
1	0	0			
0	1	0			
1	1	0			
0	0	1			
1	0	1			
0	1	1			
1	1	1			
2,4	1	8	8	8	Номера виводів МС

$$U_{ж} = \quad [B]$$

$$I_{сп.сп.} = \quad [mA]$$

$$P_{сп.сп.} = \quad [mBT]$$

- Скласти характеристичне рівняння для асинхронного D -тригера в синхронному і асинхронному варіанті.
- Визначити, як реагує тригерна структура на відсутність на синхровході C активного рівня синхросигналу. При цьому необхідно використовувати інвертуємий вихід лог. 0 від джерела логічних сигналів на стенді.
- Визначити в який момент часу тригер перемикається при інвертуванні кнопкою "Інверсія" лог. 0 на вході C (див. часову діаграму на рис.10).

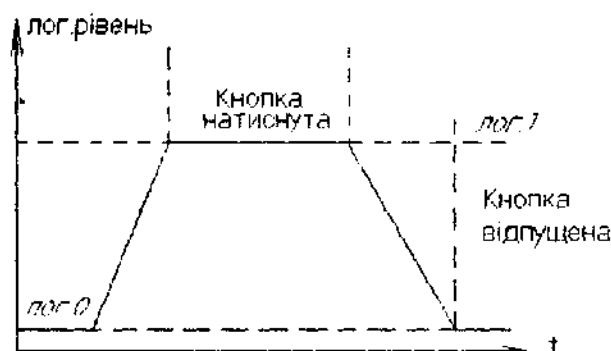


Рис 10. Спрощена часова діаграма зміни логічного рівня на вході C при виконанні операції "Інверсія".

- Виключити живлення і розібрати схему.
- Скласти скорочену таблицю переходів синхронного і асинхронного D -тригерів.